

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年10月21日 (21.10.2004)

PCT

(10) 国際公開番号  
WO 2004/091268 A1

- (51) 国際特許分類: H05K 3/46, H01L 23/12
- (21) 国際出願番号: PCT/JP2004/004977
- (22) 国際出願日: 2004年4月6日 (06.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-102773 2003年4月7日 (07.04.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒503-0917 岐阜県大垣市神田町2丁目1番地 Gifu (JP).

揖斐川町北方1丁目1番地 イビデン株式会社内  
Gifu (JP).

(74) 代理人: 田下 明人, 外 (TASHITA, Akihito et al.); 〒460-0008 愛知県名古屋市中区栄1丁目22番6号 Aichi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

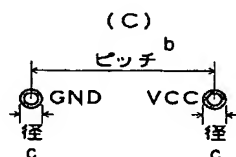
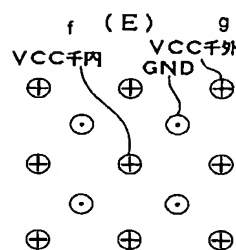
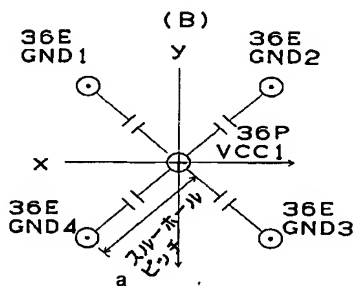
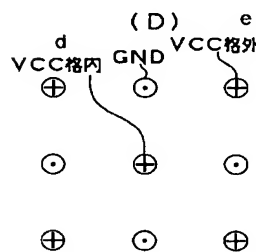
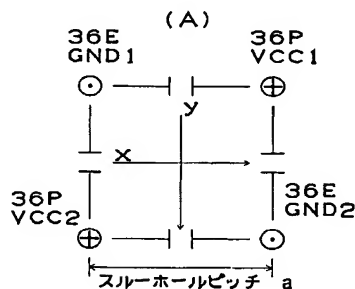
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 加藤 忍 (KATO, Shinobu) [JP/JP]; 〒501-0695 岐阜県揖斐郡

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

[続葉有]

(54) Title: MULTILAYER PRINTED WIRING BOARD

(54) 発明の名称: 多層プリント配線板



- a...THROUGH HOLE PITCH
- b...PITCH
- c...DIAMETER
- d...INSIDE VCC LATTICE
- e...OUTSIDE VCC LATTICE
- f...INSIDE ZIGZAG
- g...OUTSIDE ZIGZAG

(57) Abstract: Through holes (36E) for ground and through holes (36P) for power supply are arranged in a lattice form on a core board (30) so that electromotive forces induced in the X direction and the Y direction are canceled. Mutual inductance is thereby decreased and an erroneous operation and an error are prevented even if a high frequency IC chip is mounted. Consequently, electrical characteristics and reliability can be enhanced.

(57) 要約: コア基板30のグラウンド用スルーホール36Eと電源用スルーホール36Pとが、格子状に配設され、X方向およびY方向での誘導起電力の打ち消しがなされる。これにより、相互インダクタンスを小さくし、高周波ICチップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる。



SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

- 1 -

## 明 細 書

## 多層プリント配線板

## 5 技術分野

この発明は、多層プリント配線板に係り、高周波の I C チップ、特に 3 G H z 以上の高周波領域での I C チップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる多層プリント配線板に関する。

10

## 背景技術

I C チップ用のパッケージを構成するビルドアップ式が多層プリント配線板では、スルーホールが形成されたコア基板の両面もしくは片面に、層間絶縁樹脂を形成し、層間導通のためのバイアホールをレーザもしくはフォトリソグラフィにより開口させて、層間樹脂絶縁層を形成させる。そのバイアホール上にめっきなどにより導体層を形成し、エッチングなどを経て、パターンを形成し、導体回路を作り出す。さらに、層間絶縁層と導体層を繰り返し形成させることにより、ビルドアップ多層プリント配線板が得られる。必要に応じて、表層には半田バンプ、外部端子（P G A / B G A など）を形成させることにより、I C チップを実装することができる基板やパッケージ基板となる。I C チップは C 4（フリップチップ）実装を行うことにより、I C チップと基板との電氣的接続を行っている。

ビルドアップ式が多層プリント配線板の従来技術としては、特開平6-260756号公報、特開平6-275959号公報などがある。ともに、スルーホールを充填樹脂で充填されたコア基板上に、ランドが形成されて、両面にバイアホールを有する層間絶縁層を施して、アディティブ法により導体層を施し、ランドと接続することにより、高密度化、微細配線の形成された多層プリント配線板が得られる。

しかしながら、I C チップが高周波になるにつれて、発生するノイズが高くなってきた。特に周波数が 3 G H z を越えたあたりから、その度合いが高くな

30

- 2 -

ってきている。また、5 GHz を越えるとさらにその傾向は高くなってきた。

そのために、機能すべきはずの動作（例えば、画像の認識、スイッチの切り替え、外部へのデータの伝達などを指す）が遅延したりするなどの不具合で、所望の機能が行えなくなってしまう。

- 5 所望の機能が行えない IC チップ、基板をそれぞれ非破壊検査や分解したいところ、IC チップ、基板自体には、短絡やオープンなどの問題は発生しておらず、周波数の小さい（特に 1 GHz 未満）IC チップを実装した場合には、誤動作やエラーの発生はなかった。

- 10 即ち、高周波用 IC チップは、間欠的に電力消費を増減させることで、発熱を抑えながら高速演算を可能にしている。例えば、通常数 W 程度の消費であるのに、瞬時的に数十 W の電力を消費する。この数十 W の電力消費の際に、プリント配線板のループインダクタンスが高いと、消費が増大する電力の立ち上がり時に、供給電圧が下がり、誤動作の原因になっていると考えられる。

- 15 本願発明は、高周波領域の IC チップ、特に 3 GHz を越えても誤動作やエラーの発生しない多層プリント配線板もしくはパッケージ基板を提案することを目的としている。

#### 発明の開示

- 20 発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、複数のスルーホールを有するコア基板上に、両面もしくは片面に層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、コア基板のスルーホールは、グランド用スルーホールと電源用スルーホールが隣り合う位置に配設されていることを技術的特徴とする。

- 25 グランド用スルーホールと電源用スルーホール隣り合うことにより、それぞれに発生する誘導起電力の方向が相反するため、それぞれの誘導起電力が打ち消される。そのために、ノイズが小さくなり、基板としての機能が低下しない。そのために、誤作動や遅延することがなくなるのである。いいかえると相互インダクタンスを小さくすることができるのである。そして、プリント配線板の  
30 ループインダクタンスが小さくなり、IC のトランジスタの電圧が常に安定し、

- 3 -

トランジスタが正常に動作する。

このとき、双方のスルーホール間の距離が短い方がより望ましい。つまり、それにより相対的にインダクタンスを小さくすることができるからである。

さらに、複数のスルーホールを有するコア基板上に、両面もしくは片面に層  
5 間絶縁層と導体層が形成されて、バイアホールを介して、電氣的な接続を行われる多層プリント配線板において、

コア基板のスルーホールは、2つ以上のグランド用スルーホールと2つ以上の電源用スルーホールを有し、それぞれが隣り合う位置に格子状もしくは千鳥状に配設されていることを技術的特徴とする。

10 格子状配置の場合、それぞれ対角する位置に、グランド（あるいは電源）を配置し、それ以外の位置に、電源（あるいはグランド）を配置させる。その構成により、X方向およびY方向での誘導起電力の打ち消しがなされる。

これをスルーホールを格子状に配置した例を模式的に示す第11図（A）を参照して説明をする。格子状に配設されたスルーホールにおいて、グランド用  
15 スルーホールGND 1に対して等間隔で、電源用スルーホールVCC 1、VCC 2を配置させて、グランド用スルーホールGND 1の対角線上に、グランド用スルーホールGND 2を配設させる。この4芯（カッド）構造にすることにより、ひとつのグランド用スルーホールGND（もしくは電源用スルーホールVCC）に対して、2以上の電源用スルーホールVCC（もしくはグランド用  
20 スルーホールGND）による誘導起電力の打ち消しがなされる。そのために、スルーホールでの相互インダクタンスを小さくすることができ、誘導起電力の影響を受けないので、誤作動や遅延などが発生しにくくなるのである。

また、スルーホールを千鳥状に配置した例を模式的に示す第11図（B）を参照して説明をする。千鳥状に配設されたスルーホールにおいて、1つの電源  
25 用スルーホールVCC 1の周りを等間隔で、グランド用スルーホールGND 1、GND 2、GND 3、GND 4を配置させる。この時、グランド用スルーホールGNDと電源用スルーホールVCC間は同一距離間に配設させることが望ましい。この構造にすることにより、ひとつのグランド用スルーホールGND（もしくは電源用スルーホールVCC）に対して、1以上の電源用スルーホール  
30 VCC（もしくはグランド用スルーホールGND）による誘導起電力の打ち消

しかなされる。そのために、スルーホール相互の相互インダクタンスを小さくすることができ、誘導起電力の影響を受けないので、誤作動や遅延などが発生し難くなるのである。

5 格子状に配置させることが千鳥状に配置させるよりもインダクタンスが低下する。2以上のグランド用スルーホールと2以上の電源用スルーホールを配置させたときの最小単位の模式図が第11図(A)、第11図(B)である。この最小単位を4つ配置させたのが第11図(D)、第11図(E)である。第11図(D)が格子状配置、第11図(E)が千鳥状配置である。VCC格外は、最短距離の位置に2つのGNDを配置している。一方、VCC千外は、最短距離の位置に1つのGNDを配置している。また、VCC各内、VCC千内は、共に最短距離に4つのGNDが位置している。

15 元々グランド用スルーホールGNDおよび電源用スルーホールVCCは、磁界などの影響を受けやすい。そのために、ICチップの高周波、高速化になるとインダクタンスが増加してしまうために、ICのトランジスタに電源供給が遅延し、トランジスタがONしなくなる。高速駆動のICを正常に動作させるための基板としての問題を引き起こしてしまう。そのために、グランド用スルーホールGNDおよび電源用スルーホールVCCのインダクタンスの影響を抑えるための配置を考慮する必要がある。例えば、高密度化の要求(高密度化、微細配線)に対して、単にスルーホールを狭く配置させればよいというものではない。上記のように配列させることがそれぞれのインダクタンスを低減させることができる。そして、ループインダクタンスが低減し、ICのトランジスタへの電源供給の遅延が発生しない。

25 グランド用スルーホールと電源用のスルーホールとの距離(第11図(C)中に示すピッチ:グランド用スルーホールGNDの中心と電源用スルーホールVCCの中心との距離)は、60~600 $\mu$ mの間であることが望ましい。スルーホールとスルーホールの壁間の距離を短くすることにより、相互インダクタンスを低下させることができるのである。このとき、60 $\mu$ m未満のときは、スルーホール間の絶縁ギャップを確保することができず、短絡などの不具合を引き起こしてしまう。また、絶縁ギャップ等が起因となり、ループインダクタンスを設計許容値の範囲にすることが難しくなったりしてしまうこともある。

600  $\mu\text{m}$ を超えると格子状あるいは千鳥状にスルーホールを配置してもループインダクタンスを低下させる効果が低減してしまう。80～600  $\mu\text{m}$ の間であれば、絶縁ギャップが確保でき、ループインダクタンスの低下させることができ、電気特性を向上させることができる。

- 5      グラント用スルーホール径（第11図（C）に示すスルーホールの外径）は50～500  $\mu\text{m}$ であり、同様に電源用スルーホール径は50～500  $\mu\text{m}$ であることが望ましい。

50  $\mu\text{m}$ 未満では、スルーホール内に導体層を形成することが困難となりやすい。また、自己インダクタンスが高くなる。

- 10      500  $\mu\text{m}$ を超えると、1本当たりの自己インダクタンス分は低下させれるが、限られた領域内に配置できるグラウンド線、電源線の数が減り、グラウンド線、電源線を多線化することによる全体としてのインダクタンスの低減が図り得なくなる。特に、格子や千鳥状に配列させた場合に、スルーホールピッチによっては、短絡などの不具合が起きるからである。つまり、スルーホールを形成する
- 15      こと自体が困難になるからである。

75～585  $\mu\text{m}$ の間で形成させることがさらに望ましい。その間であれば、自己インダクタンスを低下させることができ、配線数を増やすことで全体としてのインダクタンスを下げ、電気特性を向上させることができる。更に、スルーホールピッチを狭ピッチにすることができる。

- 20      スルーホールは、1つもしくは2つ以上スルーホール直上もしくはスルーホールのランド上から最外層まで全層スタック構造であることが望ましい。スルーホール直上に形成させることが望ましい。該スルーホールの接続は、スルーホール上に蓋めっきなどにより蓋構造からなるランドを形成し、その上にバイアホールをスタック状に形成されるビアオンスルーホールかつ、スタック構造
- 25      であることがICチップから外部端子もしくはコンデンサまで直線上となつて、最短距離になり、インダクタンスをより小さくすることができるからである。その場合には、格子状もしくは千鳥状で、GND用のスルーホールおよびVCC用のスルーホール上に形成させることであることがさらに望ましい。IC直下の格子状もしくは千鳥状に配列されたスルーホール全てをスタック構造にするのが好ましく、バイアホールは導体で充填されているのが更に望ましい。
- 30

- 6 -

グラント用スルーホールおよび電源用スルーホールは、ＩＣチップの直下に配設されることが望ましい。

ＩＣチップの直下に配置させることにより、ＩＣと外部端子もしくはコンデンサとの距離を短くすることができ、インダクタンスを低減させれる。

- 5 この場合のコア基板とは、ガラスエポキシ樹脂などの芯材が含浸した樹脂基板、セラミック基板、金属基板、樹脂、セラミック、金属を複合して用いた複合コア基板、それらの基板の内層に（電源用）導体層が設けられた基板、３層以上の多層化した導体層が形成された多層コア基板を用いることができる。

- 10 電源層の導体の厚みを、厚くするために、金属を埋め込まれた基板上に、めっき、スパッタなどの一般的に行われる導体層を形成するプリント配線板の方法で形成したものを用いてもよい。

- 15 多層コア基板の場合であれば、コア基板の外層と内層の導体層をそれぞれ足した厚みが、コアの導体層の厚みとなる。つまり、多層化しても、コア基板の導体層の厚みを厚くすることが本質であり、効果自体はなんら変わらないのである。

この場合は、３層（外層＋内層）からなるコア基板でもよい。

必要に応じて、コア基板の内層にコンデンサや誘電体層、抵抗などの部品を埋め込み、形成させた電子部品収納コア基板を用いてもよい。コアの絶縁材を誘電体材料にしてもよい。

- 20 本願発明でのコア基板とは、以下のように定義される。芯材等が含浸された硬質基材であり、その両面もしくは片面に、芯材などを含まない絶縁樹脂層を用いて、フォトビアもしくはレーザによりバイアホールを形成して、導体層を形成して、層間の電気接続を行うときのものである。相対的に、コア基板の厚みは、樹脂絶縁層の厚みよりも厚いものである。基本的には、コア基板は電源層を主とする導体層が形成されて、その他信号線などは表裏の接続を行うため  
25 だけに形成されている。

この場合、コア基板に形成されるＧＮＤ層の導体厚みおよびＶＣＣ層の導体厚みを厚くすることが望ましい。特に、コア基板の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚いことがさらに望ましい。

- 30 コア基板の導体層の厚みを厚くすることにより、コア基板の電源層の導体層



- 7 -

が厚くなることにより、コア基板の強度が増す、それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

また、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗が低減することができる。そのため流れる信号線などの電氣的な伝達などを阻害しなくなる。従って、伝達される信号などに損失を起こさない。それは、コアとなる部分の導体層だけを厚くしても、その効果を奏する。

さらに、導体層を電源層として用いることで、ICチップへの電源の供給能力が向上させることができる。また、導体層をグランド層として用いることで、ICチップへの信号、電源に重畳するノイズを低減させることができる。即ち、導体の抵抗の低減が、電源の供給も阻害しなくなる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。

また、ICチップ～基板～コンデンサもしくは電源層～電源を経て、ICチップに電源を供給する場合にも、同様の効果を奏する。前述のループインダクタンスを低減することができる。

特に、コア基板の電源層として用いられる導体層の厚みが、コア基板の片面もしくは両面上の層間絶縁層上に導体層の厚みより、厚いときに、上記効果を最大限にさせることができるのである。この場合の層間絶縁層上の導体層とは、絶縁層の中に心材を含浸されていない樹脂で形成された層間樹脂絶縁層に、層間を接続させるための非貫通孔であるバイアホールを形成したものにめっき、スパッタなどを経て形成された導体層を主として意味する。これ以外にも特に限定されないがバイアホールを形成されたものであれば、上記の導体層に該当する。

コア基板の電源層は、基板の表層、内層もしくは、その両方に配置させてもよい。内層の場合は、2層以上に渡り多層化してもよい。基本的には、コア基板の電源層は層間絶縁層の導体層よりも厚くなっていれば、その効果を有するのである。ただ、内層に形成することが望ましい。

コア基板上の導体層の厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ とすることが望ましい。

5  $\alpha 1 \leq \alpha 2$ の場合は、電源不足に対する効果が全くない。つまり、いいかえると初期動作時に発生する電圧降下に対して、その降下度を抑えるということが明確にならないということである。

$\alpha 1 > 40 \alpha 2$ を越えると、コア基板の表層に導体層を形成した場合にコア基板と接続を行うランド等が形成するのに困難が生じてしまう。さらに上層の層間絶縁層を形成すると、凹凸が大きくなってしまい、層間絶縁層にうねりを生じてしまうために、インピーダンスを整合することが出来なくなってしまう。

10 導体層の厚み $\alpha 1$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 20 \alpha 2$ であることがさらに望ましい。その範囲であれば、電源不足（電圧降下）によるICチップの誤動作やエラーなどが発生しないことが確認されている。

3層以上の導体層を有する多層コア基板を用いることが望ましい。

15 その際、2層以上のGND層或いはVCC層を形成し、GND層とVCC層を交互に配置したものがよい。さらに、各導体層間の各絶縁層の厚みは略同一であることがよい。それにより、双方のインダクタンスを低下させる作用が均一に働くために、総合的なインダクタンスを下げやすいからである。更に、インピーダンス整合が取りやすく、電気特性を向上させることができる。

20 さらに望ましいのは、VCC層およびGND層がともに2層以上であることである。内層に配置されているGND層であり、VCC層であるインダクタンスが表層部分と比較すると相互的なインダクタンスの低下させるという効果を得られる。よりその効果が顕著に表れるのである。

25 GND層とVCC層との距離は $25 \sim 400 \mu\text{m}$ の間であることが望ましい。 $25 \mu\text{m}$ 未満では、材料に係らず、絶縁性を確保することが困難になりやすいし、吸湿試験などの信頼性試験を実施すると、導体層同士での短絡を引き起こすこともある。 $400 \mu\text{m}$ を超えると、インダクタンスを低下させる効果が低減されてしまう。つまり、距離が離れているためにより、相互インダクタンスの効果が相殺されてしまうのである。

30 GND層およびVCC層ともに導体層の厚みが厚くすることがよい。その双方の体積を増やすことにより、抵抗値低減の効果を得やすいからである。その

導体の厚みは、25～500 $\mu$ mであることが望ましい。25 $\mu$ m未満では、抵抗値の低減効果が薄くなりやすい。500 $\mu$ mを超えると、その上層に形成される信号線などの導体回路にうねりを生じてしまうことがあり、インピーダンスの整合という点で問題を引き起こしてしまう。基板自体の薄膜化という要求に対するも基板自体が厚くなることになるためにクリアし難くなる。この場合、層間絶縁層の導体層の厚みよりも厚いことが望ましい。

コア基板の材料は、樹脂基板で検証を行ったが、セラミック、金属コア基板でも同様の効果を奏することがわかった。また、導体層の材質も銅からなる金属で行ったが、その他の金属でも、効果が相殺されて、誤動作やエラーが発生が増加するということは確認されていないことから、コア基板の材料の相違もしくは導体層を形成する材質の相違には、その効果の影響はないものと思われる。より望ましいのは、コア基板の導体層と層間絶縁層の導体層とは、同一金属で形成されることである。電気特性、熱膨張係数などの特性や物性が変わらないことから、この効果を奏することができる。

#### 図面の簡単な説明

第1図は、本発明の第1実施例の多層プリント配線板を製造方法を示す工程図である。

第2図は、第1実施例の多層プリント配線板を製造方法を示す工程図である。

第3図は、第1実施例の多層プリント配線板を製造方法を示す工程図である。

第5図は、第1実施例の多層プリント配線板を製造方法を示す工程図である。

第6図は、第1実施例の多層プリント配線板を製造方法を示す工程図である。

第7図は、第1実施例の多層プリント配線板を製造方法を示す工程図である。

第8図は、第1実施例に係る多層プリント配線板の断面図である。

第9図は、第1実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

第10図(A)は、第8図中の多層プリント配線板のX-X横断面図であり、第10図(B)は、第1実施例の改変例に係る多層プリント配線板の横断面図である。

第11図(A)は、第10図(A)中の点線I部を拡大して示す説明図であ

り、第 11 図 (B) は、第 11 図 (B) 中の点線 II 部を拡大して示す説明図であり、第 11 図 (C) は、スルーホール pitch の説明図であり、第 11 図 (D) は千鳥配置を示す図であり、第 11 図 (E) は、格子配置を示す図である。

第 12 図は、第 1 実施例の改変例に係る多層プリント配線板の断面図である。

5 第 13 図は、第 2 実施例に係る多層プリント配線板の断面図である。

第 14 図は、第 2 実施例の改変例に係る多層プリント配線板の断面図である。

第 15 図は、第 3 実施例に係る多層プリント配線板の断面図である。

第 16 図は、スルーホールの格子配置、千鳥配置、ランダム配置に対するループインダクタンスを測定した結果を示した図表である。

10 第 17 図 (A) はスルーホールの格子配置、千鳥配置、ランダム配置に対する絶縁層のクラック及び導通試験結果を示す図であり、第 17 図 (B) は、スルーホールの格子配置、千鳥配置に対するループインダクタンスをシミュレートした結果を示した図表である。

第 18 図は、スルーホールの格子配置、千鳥配置に対するループインダクタンスを測定した結果を示したグラフである。

15 第 19 図は、(多層コア基板の各導体層の厚みの和/層間絶縁層上の導体層の厚みの比) に対する最大電圧降下量 (V) を示したグラフである。

発明を実施するための最良の形態

20 第 1 図～第 9 図を参照して本発明の第 1 実施例に係る多層プリント配線板について説明する。

[第 1 実施例] 4 層多層コア基板

25 先ず、第 1 実施例に係る多層プリント配線板 10 の構成について、第 8 図、第 9 図を参照して説明する。第 8 図は、該多層プリント配線板 10 の断面図を、第 9 図は、第 8 図に示す多層プリント配線板 10 に IC チップ 90 を取り付け、ドータボード 94 へ載置した状態を示している。第 8 図に示すように、多層プリント配線板 10 では多層コア基板 30 を用いている。多層コア基板 30 の表面側に導体回路 34、導体層 34P、裏面に導体回路 34、導体層 34E が形成されている。上側の導体層 34P は、電源用のプレーン層として形成され、30 下側の導体層 34E は、グランド用のプレーン層として形成されている。更に、

多層コア基板 30 の内部の表面側に、内層の導体層 16 E、裏面に導体層 16 P が形成されている。上側の導体層 16 E は、グランド用のプレーン層として形成され、下側の導体層 16 P は、電源用のプレーン層として形成されている。電源用のプレーン層 34 P、16 P との接続は、電源用スルーホール 36 P やバイアホールにより行われる。グランド用のプレーン層 34 E、16 E との接続は、グランド用スルーホール 36 E やバイアホールにより行われる。多層コア基板 30 の上下での信号の接続は、信号用スルーホール 36 S、バイアホールにより行われる。プレーン層は、片側だけの単層であっても、2 層以上に配置したものでもよい。2 層～4 層で形成されることが望ましい。4 層以上では電気的な特性の向上が確認されていないことからそれ以上多層にしてもその効果は 4 層と同等程度である。特に、内層は、2 層で形成されることが、多層コア基板の剛性整合という点において基板の伸び率が揃えられるので反りが出にくいからである。多層コア基板 30 の中央には、電氣的に隔絶された金属板 12 が収容してもよい（該金属板 12 は、心材としての役目も果たしているが、スルーホールやバイアホールなどの電気な接続がされていない。主として、基板の反りに対する剛性を向上させているのである。また、該金属板に 36 合金や 42 合金等の低熱膨張性金属を用いるとプリント配線板の熱膨張係数を下げることができる。そのため、IC やバンプが破壊し難くなる）。該金属板 12 に、絶縁樹脂層 14 を介して表面側に、内層の導体層 16 E、裏面に導体層 16 P が、更に、絶縁樹脂層 18 を介して表面側に導体回路 34、導体層 34 P が、裏面に導体回路 34、導体層 34 E が形成されている。本実施例では、多層コア基板の内層の各導体層の厚みは  $70\ \mu\text{m}$ 、表面及び裏面の導体層の厚みは  $15\ \mu\text{m}$  とした。

多層コア基板 30 の表面の導体層 34 P、34 E の上には、バイアホール 60 及び導体回路 58 ( $12\ \mu\text{m}$ ) の形成された層間樹脂絶縁層 50 と、バイアホール 160 及び導体回路 158 ( $12\ \mu\text{m}$ ) の形成された層間樹脂絶縁層 150 とが配設されている。該バイアホール 160 及び導体回路 158 の上層にはソルダーレジスト層 70 が形成されており、該ソルダーレジスト層 70 の開口部 71 を介して、バイアホール 160 及び導体回路 158 にバンプ 76 U、76 D が形成されている。

- 12 -

第9図中に示すように、多層プリント配線板10の上面側のバンプ76Uは、ICチップ90の信号用ランド92S、電源用ランド92P、グランド用ランド92Eへ接続される。更に、チップコンデンサ98が実装される。一方、下側の外部端子76Dは、ドータボード94の信号用ランド96S、電源用ランド96P、グランド用ランド96Eへ接続されている。この場合における外部端子とは、PGA、BGA、半田バンプ等を指している。

第10図に第8図の多層プリント配線板10のX-X横断面を示す。即ち、第10図では、多層コア基板30のコアの平面を示している。図中で、理解の便宜のため、電源用スルーホール36Pには下向きの印（図中の+）、グランド用スルーホール36Eには上向きの印（図中中央の黒丸）を付けてあり、信号用スルーホール36Sには何も印を付けていない。第11図（A）は、第10図（A）中に点線I部を拡大して示す説明図である。第1実施形態では、電源用スルーホール36Pとグランド用スルーホール36Eとが、隣り合う位置に格子状に配置されている。即ち、それぞれ対角する位置に、グランド（あるいは電源）を配置し、それ以外の位置に、電源（あるいはグランド）を配置させる。その構成により、X方向およびY方向での誘導起電力の打ち消しがなされる。

第11図（A）を参照して上述したように格子状に配設されたスルーホールにおいて、一対のグランド用スルーホール36E（GND1）と電源用スルーホール36Pを等間隔で格子状に配置させて、GND1の対角線上に、グランド用スルーホール36E（GND2）を配設させる。この4芯（カッド）構造にすることにより、ひとつのGND（もしくはVCC）に対して、2以上のVCC（もしくはGND）による誘導起電力の打ち消しがなされる。そのために、相互インダクタンスを小さくすることができ、誘導起電力の影響を受けないのでノイズの影響を軽減でき、更に、インダクタンス分を下げることで、ループインダクタンスが減少し、間欠的に電力消費量が増減するICチップに対して、電力消費が増大する際にも電圧降下が生じず、誤作動や遅延などが発生しにくくなる。

更に、第8図に示すように多層コア基板30の中央に配置された電源用スルーホール36Pとグランド用スルーホール36Eは、スルーホールの直上にバ

5 イアホール60及びバイアホール160が設けられるスタック構造となっている。該スルーホール36E、36Pとバイアホール60との接続は、スルーホール36E、スルーホール36P上に蓋めっきなどにより蓋構造からなるランド25を形成し、その上にバイアホール60をスタック状に形成される。更に、  
10 上側のバイアホール60の直上にバイアホール160を設け、該バイアホール160が、ICチップ90の電源用ランド92E、グランド用ランド92Eにバンプ76Uを介して接続されている。同様に、下側バイアホール60の直下にバイアホール160を設け、該バイアホール160が、ドータボード94の電源用ランド96P、グランド用ランド96Eにバンプ76Dを介して接続されている。

15 ビアオンスルーホールかつ、スタック構造であることがICチップ90からドータボードのバンプ（外部端子）76E、76Pもしくは図示しないコンデンサまで直線上となり、最短距離となり、インダクタンスをより小さくすることができるからである。IC直下の少なくとも最小単位の格子状又は千鳥状に  
20 配列された電源用スルーホール及びグランド用スルーホールがスタック構造にするのがよく、IC直下の全グランド用、電源用スルーホールがスタック構造になると更によい。

25 グランド用スルーホール36Eおよび電源用スルーホール36Pは、ICチップ90の直下に配設されている。ICチップ90の直下に配置させることにより、IC90とドータボード94のバンプ（外部端子）96E、96Pもしくは図示しないコンデンサとの距離を短くすることができる。そのためにインダクタンスを低減させれる。

30 スルーホール36E、36P、36S間の距離（ピッチ）は、80～600 $\mu$ mに設定し、信号用スルーホール径36S（外径）を50～400 $\mu$ mで形成させた。グランド用スルーホール36Eと電源用スルーホール36P間の距離（ピッチ）は、80～600 $\mu$ mに設定し、グランド用スルーホール36E径（外径）を50～400 $\mu$ mで、電源用スルーホール36Pの径（外形）を50～400 $\mu$ mで形成させた（第16図参照）。スルーホール36E、36P、36Sは、コア基板30に形成した通孔の導体層を形成させ、その空隙内に絶縁樹脂を充填させた。それ以外にも、導電性ペーストもしくはめっきなど

により、スルーホール内を完全に埋めても良い。信号用スルーホールは、IC直下以外の部分に形成することが好ましい。IC直下は、電源用スルーホール、グランド用スルーホールが密集しているため、ノイズを受け易い。そして、信号用スルーホールのピッチは、電源用スルーホール及びグランド用スルーホールのピッチより広い方が望ましい。それにより、信号にノイズが載りにくい。

ここで、コア基板30表層の導体層34P、34Eは、厚さ5～40 $\mu$ mに形成され、内層の導体層16P、16Eは、厚さ5～250 $\mu$ mに形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は5～25 $\mu$ mに形成されている。

第1実施例の多層プリント配線板では、コア基板30の表層の電源層（導体層）34P、導体層34、内層の電源層（導体層）16P、導体層16Eおよび金属板12を厚くすることにより、コア基板の強度が増す。それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

また、導体層34P、34E、導体層16P、16Eを厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗を低減することができる。

更に、導体層34P、16Pを電源層として用いることで、ICチップ90への電源の供給能力が向上させることができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、導体層34E、16Eをグランド層として用いることで、ICチップの信号、電力供給にノイズが重畳しなくなり、誤動作やエラーを防ぐことができる。コンデンサ98を実装することにより、コンデンサ内の蓄積されている電源を補助的に用いることができるので、電源不足を起しにくくなる。

第12図は、第1実施形態の改変例を示している。改変例では、コンデンサ98が、ICチップ90の直下に配置され、下面側に導電性接続ピン99が取



り付けられている。コンデンサ 98 を IC チップ 90 の直下に配設すれば、電源不足を起しにくくする効果は顕著になる。その理由として、IC チップの直下であれば、多層プリント配線板での配線長を短くすることができるからである。

- 5      第 10 図 (B) は、第 1 実施例の改変例に係るスルーホール配置を示している。第 11 図 (B) は、第 10 図 (B) 中の中に点線 II 部を拡大して示す説明図である。第 1 実施形態の改変例では、電源用スルーホール 36P とグランド用スルーホール 36E とが、隣り合う位置に千鳥状に配置されている。その構成により、X 方向および Y 方向での誘導起電力の打ち消しがなされる。
- 10      即ち、第 11 図 (B) を参照して上述したように、千鳥状に配設されたスルーホール 36P、36E において、1 つの電源用スルーホール VCC の周りを等間隔で、グランド用スルーホール GND1、GND2、GND3、GND4 を配置させる。この時、グランド用スルーホール GND と電源用スルーホール VCC 間は同一距離間に配設させることが望ましい。この構造にすることにより、
- 15      ひとつのグランド用スルーホール GND (もしくは電源用スルーホール VCC) に対して、1 以上の電源用スルーホール VCC (もしくはグランド用スルーホール GND) による誘導起電力の打ち消しがなされる。そのために、スルーホールの相互インダクタンスを小さくすることができ、誘導起電力の影響を受けないので、誤作動や遅延などが発生し難くなるのである。
- 20      第 1 実施例では、多層コア基板 30 は、内層に厚い導体層 16P、16E を、表面に薄い導体層 34P、34E を有し、内層の導体層 16P、16E と表面の導体層 34P、34E とを電源層用の導体層、グランド用の導体層として用いる。即ち、内層側に厚い導体層 16P、16E を配置しても、導体層を覆う樹脂層が形成されている。そのために、導体層が起因となって凹凸を相殺させることで多層コア基板 30 の表面を平坦にすることができる。このため、層間
- 25      絶縁層 50、150 の導体層 58、158 にうねりを生じせしめないように、多層コア基板 30 の表面に薄い導体層 34P、34E を配置しても、内層の導体層 16P、16E と足した厚みでコアの導体層として十分な厚みを確保することができる。うねりが生じないために、層間絶縁層上の導体層のインピーダ
- 30      ンスに不具合が起きない。導体層 16P、34P を電源層用の導体層として、

- 16 -

導体層 16 E、34 E をグランド用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

即ち、コア基板の内層の導体層 16 P、16 E の厚みを、層間絶縁層 50、150 上の導体層 58、158 よりも厚くする。これにより、多層コア基板 30 の表面に薄い導体層 34 E、34 P を配置しても、内層の厚い導体層 16 P、16 E と足すことで、コアの導体層として十分な厚みを確保できる。その比率は、 $1 < (\text{コアの各導体層の厚みの和} / \text{層間絶縁層の導体層}) \leq 40$  であることが望ましい。1.  $2 \leq (\text{コアの各導体層の厚みの和} / \text{層間絶縁層の導体層}) \leq 20$  であることがさらに望ましい。

多層コア基板 30 は、電氣的に隔絶された金属板 12 の両面に、樹脂層 14 を介在させて内層の導体層 16 P、16 E が、更に、当該内層の導体層 16 P、16 E の外側に樹脂層 18 を介在させて表面の導体層 34 P、34 E が形成されて成るものでよい。中央部に電氣的に隔絶された金属板 12 を配置することで、十分な機械的強度を確保することができる。更に、金属板 12 の両面に樹脂層 14 を介在させて内層の導体層 16 P、16 E を、更に、当該内層の導体層 16 P、16 E の外側に樹脂層 18 を介在させて表面の導体層 34 P、34 E を形成することで、金属板 12 の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

引き続き、第 8 図に示す多層プリント配線板 10 の製造方法について第 1 図～第 7 図を参照して説明する。

#### (1) 金属層の形成

第 1 図 (A) に示す厚さ 50 ~ 400  $\mu\text{m}$  の間の内層金属層 (金属板) 12 に、表裏を買通する開口 12 a を設ける (第 1 図 (B))。金属層の材質としては、銅、ニッケル、亜鉛、アルミニウム、鉄などの金属が配合されているものを用いることができる。開口 12 a は、パンチング、エッチング、ドリリング、レーザなどによって穿設する。場合によっては、開口 12 a を形成した金属層 12 の全面に電解めっき、無電解めっき、置換めっき、スパッタによって、金属膜 13 を被覆してもよい (第 1 図 (C))。なお、金属板 12 は、単層でも、2 層以上の複数層でもよい。また、金属膜 13 は、曲面を形成するほうが望ましい。それにより、応力の集中するポイントがなくなり、その周辺でのク

- 17 -

ラックなどの不具合が引き起こしにくい。

## (2) 内層絶縁層の形成

金属層 1 2 の全体を覆い、開口 1 2 a 内を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み 30 ~ 200  $\mu\text{m}$  程度の B ステージ状の樹脂フィルムを金属板 1 2 で挟んでから、熱圧着してから硬化させ絶縁樹脂層 1 4 を形成することができる (第 1 図 (D))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。

材料としては、ポリイミド樹脂、エポキシ樹脂、フェノール樹脂、BT 樹脂等の熱硬化性樹脂をガラスクロス等の心材に含浸させたプリプレグを用いることが望ましい。それ以外にも樹脂を用いてもよい。

## (3) 金属箔の貼り付け

樹脂層 1 4 で覆われた金属層 1 2 の両面に、内層金属層 1 6 a を形成させる (第 1 図 (E))。その一例として、厚み 12 ~ 275  $\mu\text{m}$  の金属箔を積層させた。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔上に、めっきなどで形成できる。

## (4) 内層金属層の回路形成

2 層以上にしてもよい。アディティブ法により金属層を形成してもよい。

テンティング法、エッチング工程等を経て、内層金属層 1 6 a から内層導体層 1 6 P、1 6 E を形成させた (第 1 図 (F))。このときの内層導体層の厚みは、10 ~ 250  $\mu\text{m}$  で形成させた。

## (5) 外層絶縁層の形成

内層導体層 1 6 P、1 6 E の全体を覆い、および外層金属その回路間の隙間を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み 30 ~ 200  $\mu\text{m}$  程度の B ステージ状の樹脂フィルムを金属板で挟んでから、熱圧着してから硬化させ、外層絶縁樹脂層 1 8 を形成する (第 2 図 (A))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。加圧することで表面を平坦にすることができる。

## (6) 最外層の金属箔の貼り付け

- 18 -

外層絶縁樹脂層 18 で覆われた基板の両面に、最外層の金属層 34  $\alpha$  を形成させる（第 2 図（B））。その一例として、厚み 12 ~ 275  $\mu\text{m}$  の金属箔を積層させる。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔上に、めっきなどで 2 層以上にしてもよい。アディティブ法により金属層を形成してもよい。

#### （7）スルーホール形成

基板の表裏を貫通する開口径 50 ~ 500  $\mu\text{m}$  のスルーホール用通孔 36  $\alpha$  を形成する（第 2 図（C））。形成方法としては、ドリル、レーザもしくはレーザとドリルの複合により形成させる（最外層の絶縁層の開口をレーザで行い、場合によっては、そのレーザでの開口をターゲットマークとして用いて、その後、ドリルで開口して貫通させる）。形状としては、直線状の側壁を有するものであることが望ましい。場合によっては、テーパ状であってもよい。スルーホール間の距離（ピッチ）は、60 ~ 600  $\mu\text{m}$  で形成させた。

スルーホールの導電性を確保するために、スルーホール用通孔 36  $\alpha$  内にめっき膜 22 を形成し、表面を粗化した後（第 2 図（D））、充填樹脂 23 を充填することが望ましい（第 2 図（E））。充填樹脂としては、電気的な絶縁されている樹脂材料、（例えば 樹脂成分、硬化剤、粒子等が含有されているもの）、金属粒子による電気的な接続を行っている導電性材料（例えば、金、銅などの金属粒子、樹脂材料、硬化剤などが含有されているもの。）のいずれかを用いることができる。

めっきとしては、電解めっき、無電解めっき、パネルめっき（無電解めっきと電解めっき）などを用いることができる。金属としては、銅、ニッケル、コバルト、リン、等が含有してももので形成されるのである。めっき金属の厚みとしては、5 ~ 30  $\mu\text{m}$  の間で形成されることが望ましい。

スルーホール用通孔 36  $\alpha$  内に充填する充填樹脂 23 は、樹脂材料、硬化剤、粒子などからなるものを絶縁材料を用いることが望ましい。粒子としては、シリカ、アルミナなどの無機粒子、金、銀、銅などの金属粒子、樹脂粒子などの単独もしくは複合で配合させる。粒径が 0.1 ~ 5  $\mu\text{m}$  のものを同一径もしくは、複合径のもの混ぜたものを用いることができる。樹脂材料としては、エポキシ樹脂（例えば、ビスフェノール型エポキシ樹脂、ノボラック型エポキシ樹

脂など)、フェノール樹脂などの熱硬化性樹脂、感光性を有する紫外線硬化樹脂、熱可塑性樹脂などが単一もしくは混合したものを用いることができる。硬化剤としては、イミダゾール系硬化剤、アミン系硬化剤などを用いることができる。それ以外にも、硬化安定剤、反応安定剤、粒子等を含まれていてもよい。

- 5 導電性材料を用いてもよい。この場合は、金属粒子、樹脂成分、硬化剤などからなるものが導電性材料である導電性ペーストとなる。場合によっては、半田、絶縁樹脂などの絶縁材料の表層に導電性を有する金属膜を形成したものなどを用いてもよい。めっきでスルーホール用通孔 3 6  $\alpha$  内を充填することも可能である。導電性ペーストは硬化収縮がなされるので、表層に凹部を形成してしまうことがあるからである。

このとき形成したスルーホールは、グランド用スルーホール 3 6 E と電源用スルーホール 3 6 P とで、第 1 1 図 (A) を参照して上述したように、格子状に配置させた。

#### (8) 最外層の導体回路の形成

- 15 全体にめっき膜を被覆することで、スルーホール 3 6 S、3 6 E、3 6 P の直上に蓋めっき 2 5 を形成してもよい (第 3 図 (A))。その後、テンディング法、エッチング工程等を経て、外層の導体回路 3 4、3 4 P、3 4 E を形成する (第 3 図 (B))。これにより、多層コア基板 3 0 を完成する。

- 20 このとき、図示されていないが多層コア基板の内層の導体層 1 6 P、1 6 E 等との電気接続を、バイアホールやブラインドスルーホール、ブラインドバイアホールにより行ってもよい。

(9) 導体回路 3 4 を形成した多層コア基板 3 0 を黒化处理、および、還元処理を行い、導体回路 3 4、導体層 3 4 P、3 4 E の全表面に粗化面 3 4  $\beta$  を形成する (第 3 図 (C))。

- 25 (10) 多層コア基板 3 0 の導体回路非形成部に樹脂充填材 4 0 の層を形成する (第 4 図 (A))。

- (11) 上記処理を終えた基板の片面を、ベルトサンダー等の研磨により、導体層 3 4 P、3 4 E の外縁部に樹脂充填材 4 0 が残らないように研磨し、次いで、上記研磨による傷を取り除くため、導体層 3 4 P、3 4 E の全表面 (スルーホールのランド表面を含む) にバフ等でさらに研磨を行った。このような一
- 30

連の研磨を基板の他方の面についても同様に行った。次いで、 $100^{\circ}\text{C}$ で1時間、 $150^{\circ}\text{C}$ で1時間の加熱処理を行って樹脂充填材40を硬化した（第4図（B））。

5      なお、導体回路間の樹脂充填を行わなくてもよい。この場合は、層間絶縁層などの樹脂層で絶縁層の形成と導体回路間の充填を行う。

（12）上記多層コア基板30に、エッチング液を基板の両面にスプレーで吹きつけて、導体回路34、導体層34P、34Eの表面とスルーホール36S、36E、36Pのランド表面と内壁とをエッチング等により、導体回路の全表面に粗化面36 $\beta$ を形成した（第4図（C））。

10      （13）多層コア基板30の両面に、層間樹脂絶縁層用樹脂フィルム50 $\gamma$ を基板上に載置し、仮圧着して裁断した後、さらに、真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層を形成した（第5図（A））。

（14）次に、層間樹脂絶縁層上に、厚さ1.2mmの貫通孔が形成されたマスクを介して、波長10.4 $\mu\text{m}$ のCO<sub>2</sub>ガスレーザにて、ビーム径4.0mm、15      m、トップハットモード、パルス幅7.9 $\mu\text{s}$ 、マスクの貫通孔の径1.0mm、1ショットの条件で層間樹脂絶縁層50に、直径80 $\mu\text{m}$ のバイアホール用開口50aを形成した（第5図（B））。

（15）多層コア基板30を、60g/lの過マンガン酸を含む $80^{\circ}\text{C}$ の溶液に10分間浸漬し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50      0の表面に粗化面50 $\alpha$ を形成した（第4図（C））。粗化面は0.1～5 $\mu\text{m}$ の間で形成した。

（16）次に、上記処理を終えた多層コア基板30を、中和溶液（シプレイ社製）に浸漬してから水洗いした。さらに、粗面化処理（粗化深さ3 $\mu\text{m}$ ）した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面      25      面およびバイアホール用開口の内壁面に触媒核を付着させた。

（17）次に、無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ0.6～3.0 $\mu\text{m}$ の無電解銅めっき膜を形成し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に無電解銅めっき膜52が形成された基板を得る（第4図（D））。

30      （18）無電解銅めっき膜52が形成された基板に市販の感光性ドライフィル

ムを張り付け、マスクを載置して、現像処理することにより、めっきレジスト 54 を設けた（第 6 図（A））。めっきレジストの厚みは、 $10 \sim 30 \mu\text{m}$  の間を用いた。

5 （19）ついで、多層コア基板 30 に電解めっきを施し、めっきレジスト 54 非形成部に、厚さ  $10 \sim 20 \mu\text{m}$  の電解銅めっき膜 56 を形成した（第 6 図（B））。

10 （20）さらに、めっきレジストを 5% 程度の KOH で剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッチング処理して溶解除去し、独立の導体回路 58 及びバイアホール（フィルドバイアホール）60 とした（第 6 図（C））。

（21）ついで、上記（12）と同様の処理を行い、導体回路 58 及びバイアホール 60 の表面に粗化面  $58\alpha$ 、 $60\alpha$  を形成した。上層の導体回路 58 の厚みは  $10 \sim 25 \mu\text{m}$  で形成された。今回の厚みは  $15 \mu\text{m}$  の厚みであった（第 6 図（D））。

15 （22）上記（14）～（21）の工程を繰り返すことにより、さらに上層の層間樹脂絶縁層 150、導体回路 158、バイアホール 160 を形成し、多層配線板を得た（第 7 図（A））。

20 （23）次に、多層配線基板の両面に、ソルダーレジスト組成物 70 を  $12 \sim 30 \mu\text{m}$  の厚さで塗布し、 $70^\circ\text{C}$  で 20 分間、 $70^\circ\text{C}$  で 30 分間の条件で乾燥処理を行った後（第 7 図（B））、ソルダーレジスト開口部のパターンが描画された厚さ 5 mm のフォトマスクをソルダーレジスト層 70 に密着させて  $1000 \text{ mJ} / \text{cm}^2$  の紫外線で露光し、DMTG 溶液で現像処理し、 $200 \mu\text{m}$  の直径の開口 71 を形成した（第 7 図（C））。

25 そして、さらに、 $80^\circ\text{C}$  で 1 時間、 $100^\circ\text{C}$  で 1 時間、 $120^\circ\text{C}$  で 1 時間、 $150^\circ\text{C}$  で 3 時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層 70 を硬化させ、開口 71 を有し、その厚さが  $10 \sim 25 \mu\text{m}$  のソルダーレジストパターン層 70 を形成した。

30 （24）次に、ソルダーレジスト層 70 を形成した基板を、無電解ニッケルめっき液に浸漬して、開口部 71 に厚さ  $5 \mu\text{m}$  のニッケルめっき層 72 を形成した。さらに、その基板を無電解金めっき液に浸漬して、ニッケルめっき層 72

上に、厚さ $0.03\mu\text{m}$ の金めっき層74を形成した(第7図(D))。ニッケル-金層以外にも、スズ、貴金属層(金、銀、パラジウム、白金など)の単層を形成してもよい。

(25) この後、基板のICチップを載置する面のソルダーレジスト層70の開口71に、スズ-鉛を含有する半田ペーストを印刷し、さらに他方の面のソルダーレジスト層の開口にスズ-アンチモンを含有する半田ペーストを印刷した後、 $200^{\circ}\text{C}$ でリフローすることにより外部端子を形成し、はんだバンプ76U、76Dを有する多層プリント配線板を製造した(第8図)。

#### [第2実施例] 3層多層コア基板

第13図を参照して第2実施例に係る多層プリント配線板について説明する。

第8図を参照して上述した第1実施例では、コア基板が4層(グラウンド層16E、34E:2、電源層16P、34P:2)で形成されていた。これに対して、第2実施例では、第13図中に示すように多層コア基板30が3層(グラウンド層34E、34E:2、電源層15P:1)で形成されている。

第13図に示すように、第2実施例に係る多層プリント配線板10では、多層コア基板30の表面及び裏面に導体回路34、グラウンド用導体層34Eが形成され、コア基板30内に電源用導体層15Pが形成されている。グラウンド用導体層34Eはグラウンド用のプレーン層として、電源用導体層15Pは電源用のプレーン層として形成されている。グラウンド用スルーホール36Eは、コア基板の両面でグラウンド用導体層34Eと接続され、電源用スルーホール36Pは、コア基板の中央で電源用導体層15Pと接続されている。信号は、信号線スルーホール36Sを介して多層コア基板30の両面で接続されている。グラウンド用導体層34Eの上にバイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配置されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

この第2実施例においても、第10図(A)、第10図(B)を参照して上述した第1実施例と同様に、電源用スルーホール36P、グラウンド用スルーホ



ール 3 6 E が格子状、又は、千鳥状に配置され、相互インダクタンスの低減が図られている。

ここで、コア基板 3 0 上に導体回路 3 4、導体層 3 4 E 及びコア基板内に導体層 1 5 P が形成されている。一方、層間樹脂絶縁層 5 0 上に導体回路 5 8 及び層間樹脂絶縁層 1 5 0 上に導体回路 1 5 8 が形成されている。コア基板上の導体層 3 4 E の厚みは 1 ~ 2 5 0  $\mu$ m の間で形成されて、コア基板内に形成された電源層としての役目を果たすの導体層 1 5 P の厚みは、1 ~ 2 5 0  $\mu$ m の間で形成されている。この場合の導体層の厚みは、コア基板の電源層の厚みの総和である。内層である導体層 1 5 P、表層である導体層 3 4 E の双方を足したものであるという意味である。信号線の役目を果たしているものとを足すことではない。この第 2 実施例においても、3 層の導体層 3 4 E、1 5 P の厚みを合わせることで、第 1 実施例と同様な効果を得ている。電源層の厚みは上述の範囲を超えてもよい。

[第 2 実施例の改変例]

第 1 4 図に第 2 実施例の改変例に係る多層プリント配線板の断面を示す。第 1 3 図を参照して上述した第 2 実施例では、多層コア基板 3 0 が、3 層（グラウンド層 3 4 E、3 4 E : 2、電源層 1 5 P : 1）で形成されていた、これに対して、第 2 実施例の改変例では、多層コア基板 3 0 が、3 層（グラウンド層 1 5 E : 1、電源層 3 4 P、3 4 P : 2）で形成されている。

第 1 4 図に示すように、第 2 実施例に係る多層プリント配線板 1 0 では、多層コア基板 3 0 の表面及び裏面に導体回路 3 4、電源用導体層 3 4 P が形成され、コア基板 3 0 内にグラウンド用導体層 1 5 E が形成されている。グラウンド用導体層 1 5 E はグラウンド用のプレーン層として、電源用導体層 3 4 P、3 4 P は電源用のプレーン層として形成されている。グラウンド用スルーホール 3 6 E は、コア基板の中央でグラウンド用導体層 1 5 E、1 5 E と接続され、電源用スルーホール 3 6 P は、コア基板の両面で電源用導体層 3 4 P、3 4 P と接続されている。信号は、信号線スルーホール 3 6 S を介して多層コア基板 3 0 の両面で接続されている。電源用導体層 3 4 P の上にバイアホール 6 0 及び導体回路 5 8 の形成された層間樹脂絶縁層 5 0 と、バイアホール 1 6 0 及び導体回路 1 5 8 の形成された層間樹脂絶縁層 1 5 0 とが配置されている。

- 24 -

この第2実施例の改変例においても、第10図(A)、第10図(B)を参照して上述した第1実施例と同様に、電源用スルーホール36P、グランド用スルーホール36Eが格子状、又は、千鳥状に配置され、相互インダクタンスの低減が図られている。また、第2実施例の改変例においても、第2実施例と同様な厚みに、多層コア基板30の3層の導体層34P、34E、15E及び層間樹脂絶縁層50、150の導体回路58、158が形成され、同様な効果を得ている。

### [第3実施例] ガラスエポキシ樹脂基板

上述した第1、第2実施例では、多層コア基板30が用いられた、これに対して、第3実施例では、第15図に示すように単板のコア基板30が用いられ、コア基板の両面の導体層が、電源層、グランド層として形成されている。即ち、コア基板30の上面にグランド層34Eが、下面に電源層34Pが形成されている。ア基板30の表面と裏面とは電源用スルーホール36P、グランド用スルーホール36E、信号用スルーホール36Sを介して接続されている。更に、導体層34P、34Eの上にバイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配設されている。

この第3実施例においても、第10図(A)、第10図(B)を参照して上述した第1実施例と同様に、電源用スルーホール36P、グランド用スルーホール36Eが格子状、又は、千鳥状に配置され、相互インダクタンスの低減が図られている。

ここで、コア基板30上の導体層34P、34Eは、厚さ1～250 $\mu$ mに形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は5～25 $\mu$ m（望ましい範囲10～20 $\mu$ m）に形成されている。

第3実施例の多層プリント配線板では、コア基板30の電源層（導体層）34P、導体層34Eが厚くなることにより、コア基板の強度が増す、それによりコア基板自体の厚みを薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。また、導体層34P、34Eを厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導

体での抵抗が低減することができる。

更に、導体層 3 4 P を電源層として用いることで、I C チップへの電源の供給能力が向上させることができる。そのため、該多層プリント基板上に I C チップを実装したときに、I C チップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域の I C チップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、導体層 3 4 E をグランド層として用いることで、I C チップの信号、電力供給にノイズが重畳しなくなり、誤動作やエラーを防ぐことができる。

#### 10 [比較例]

比較例として、実施例 1 とほぼ同じであるが、グランド用スルーホールと電源用スルーホールとが隣り合わない位置に形成させた。つまり、グランド用スルーホールと電源用のスルーホールとをランダムに形成させて、かつ、グランド用スルーホールと電源用のスルーホールとの最短距離（スルーホールピッチ）は、第 1 6 図に示す  $80 \sim 650 \mu\text{m}$  の 8 種類を形成した。スルーホール径を同図に示す。これらをランダム配置して第 1 6 図に記載する。

参考例 1 として、実施例 1 とほぼ同じであるが、グランド用スルーホールと電源用スルーホールの距離が、 $600 \mu\text{m}$  を超えるものを形成させた。その一例として、 $650 \mu\text{m}$  で形成したものを作成した。

20 参考例 2 として、実施例 3 とほぼ同じであるが、グランド用スルーホールと電源用スルーホールの距離が、 $600 \mu\text{m}$  を超えるものを形成させた。その一例として、 $650 \mu\text{m}$  で形成したものを作成した。ループインダクタンスは、参考例 1 と同様になった。

25 参考例 3 として、実施例 1 とほぼ同じであるが、コア基板の厚みを薄くして多層化し、グランド用スルーホールと電源用スルーホールの径が、 $25 \mu\text{m}$  のものを形成して、グランド用スルーホールと電源用スルーホールの距離が  $60 \mu\text{m}$  未満ものを形成させた。その一例として、 $50 \mu\text{m}$  で形成したものを作成した。多層コア基板の各導体層の厚みの和は実施例 1 と同じである。

30 ここで、第 1 実施例での多層プリント配線板のスルーホール配置を格子配置（厚銅）、第 1 実施例の改変例としてスルーホール配置を千鳥配置に変えた千

鳥配置（厚銅）、第1実施例において多層コア基板の各導体層の厚みの和を層間絶縁層上の導体層の厚みと同一にした参考例4、比較例のランダム配置として各々のループインダクタンスを測定した結果を第16図に示している。ここで、ここで、ループインダクタンスの値は、2.5mm平方当たりの値である。

- 5      スルーホールピッチを変えても、ランダム配置（グランド用スルーホールと電源用スルーホールが隣り合わない構造）よりも、格子配置（厚銅）もしくは千鳥配置（厚銅）[グランド用スルーホールと電源用スルーホールが隣り合う構造]の方がループインダクタンスを低減することができるのである。それにより、遅延などを抑えられるので、ICのトランジスタへの電源供給時間が短縮する。3GHzを越えるICを搭載してもトランジスタが電源不足とならない。

- 10      また、スルーホールピッチに関係なく、格子配置であることが、千鳥配置に比べるとループインダクタンスが低減する。そのために、電気特性上は優位であるといえる。第16図の値からも、グランド用スルーホール36Eと電源用スルーホール36Pとは対角線上に配置した方が、ループインダクタンスが低い。

- 15      また、第16図の格子配置（厚銅）と参考例4を比較すると、同じ格子配置でも多層コア基板の各導体層の厚みの和が大きいほうが、いずれのスルーホールピッチにおいても格子配置（厚銅）の方がよい値となった。これは、スルーホールと導体層の側壁でインダクタンスを打ち消しあっているのではないかと推測される。

- 20      また、スルーホールピッチを変えて、ループインダクタンスをシミュレートから算出した、その結果を第17図（B）に示した。ここで、ループインダクタンスの値は、2.5mm平方当たりの値である。

- 25      さらに、格子配置および千鳥配置での各スルーホールピッチにおける基板での高温高湿条件下（85℃、湿度85wt%、500hr実施）における信頼性試験をして、スルーホールの絶縁層のクラックの有無、導通試験での抵抗値測定結果を第17図（A）に示した。第17図（B）から、スルーホールピッチが減少するとループインダクタンスが減少しているが、60μm未満になると逆にループインダクタンスが上昇している。これは、同電位のスルーホール
- 30      ピッチが狭くなるためにループインダクタンスが上昇したのか、スルーホール

径が小さくなったため自己インダクタンスが増えたためと推察される。

ループインダクタンスが大きいと、ICのトランジスタへの電源供給が遅くなる。ICの駆動周波数が早くなると、トランジスタのONから次のONするまでの時間が短くなる。トランジスタの電圧が不足していると、トランジスタが動作しない。

ループインダクタンスが75 pH以下になると、周波数が3 GHzのICチップを搭載して同時スイッチングを繰り返し行ってもICのトランジスタが次にONするまでに正常に動作する電圧に回復するので、誤動作し難い。この場合、第16図の結果より、ランダム配置では、ループインダクタンスが75 pH以下とはならない。ランダム配置では、誤動作が発生し易い。ランダム配置のプリント配線板に1, 3, 5 GHzのICを搭載し、同時スイッチングを1万回繰り返したところ、1 GHzのICは正常に動作したが、3 GHz、5 GHzのICは誤動作が発生した。

また、格子配置に形成した場合には、スルーホールピッチが600  $\mu\text{m}$ 以下であることが望ましい。その範囲であれば、ループインダクタンスを一定レベル(75 pH)以下に低減させることができる。さらに、スルーホールピッチが80~600  $\mu\text{m}$ の間であれば、該当のループインダクタンス領域の内部であると同時に確実に信頼性を確保することができる。

また、千鳥配置に形成した場合には、スルーホールピッチが550  $\mu\text{m}$ 以下であることが望ましい。その範囲であれば、ループインダクタンスを一定レベル(75 pH)以下に低減させることができる。さらに、スルーホールピッチが80~550  $\mu\text{m}$ の間であれば、該当のループインダクタンス領域の内部であると同時に確実に信頼性を確保することができる。

また、ループインダクタンスが60 pH未満になると、周波数が5 GHzのICチップを搭載して同時スイッチングを繰り返し行っても誤動作し難い。この場合、第16図の結果より、格子配置に形成した場合には、スルーホールピッチが80~550  $\mu\text{m}$ であることが望ましい。その範囲であれば、ループインダクタンスのレベルを60 pH未満に低減させることができる。そして、スルーホールピッチが80~550  $\mu\text{m}$ の間であれば、該当のループインダクタンス領域の内部であると同時に確実に信頼性を確保することができる。

また、千鳥配置に形成した場合には、第16図の結果からスルーホールピッチが80～450  $\mu\text{m}$ であることが望ましい。その範囲であれば、ループインダクタンスのレベルを60 p H未満に低減させることができる。そして、スルーホールピッチが80～450  $\mu\text{m}$ の間であれば、該当のループインダクタンス領域の内部であると同時に確実に信頼性を確保することができる。

さらにループインダクタンスが55 p H以下になると、ICチップの周波数に関係なく、同時スイッチングを繰り返しても誤動作し難い。この場合、第16図の結果より、格子配置では、スルーホールピッチが80～450  $\mu\text{m}$ でそのような結果になるのである。そして、スルーホールピッチが80～450  $\mu\text{m}$ の間であれば、該当のループインダクタンス領域の内部であると同時に確実に信頼性を確保することができる。一方、シミュレーションの結果からは、スルーホールピッチ60～450  $\mu\text{m}$ の範囲であればそのような結果になる。

実施例1において多層コア基板の各導体層の厚みの和を変化させてプリント基板を製造し、周波数3.1 GHzのICチップを実装して、同じ量の電源を供給し、起動させたときの電圧の降下した量を測定した結果を第19図に示した。ICの電圧は直接ICでは測定できないのでプリント配線板に測定用回路を設けた。横軸に（多層コア基板の導体層の厚みの和／層間絶縁層上の導体層の厚みの比）を設定し、縦軸に最大電圧降下量（V）を設定した。

電源電圧1.0 Vのとき、変動許容範囲 $\pm 10\%$ であれば、電圧の挙動が安定していることになり、ICチップの誤動作などを引き起こさない。つまり、この場合、電圧降下量が0.1 V以内であれば、電圧降下によるICチップへの誤動作等を引き起こさないことになる。それ故に、（多層コア基板の導体層の厚みの和／層間絶縁層上の導体層の厚み）の比が1.2を越えるの良のである。さらに、 $1.2 \leq$ （多層コア基板の導体層の厚みの和／層間絶縁層上の導体層の厚み） $\leq 4.0$ の範囲であれば、数値が減少傾向にあるため、その効果が得やすいということとなる。一方、 $4.0 <$ （多層コア基板の導体層の厚みの和／層間絶縁層上の導体層の厚み）という範囲では、電圧降下量が上昇している。電気は表層を流れやすいので、導体層が厚くなると厚み方向への移動距離が長くなるので、電圧降下が大きくなるのではないかと推察している。

更に、 $5.0 <$ （多層コア基板の導体層の厚みの和／層間絶縁層上の導体層

の厚み)  $\leq 40$  であれば、電圧降下量がほぼ同じであることから、安定しているということとなる。つまり、この範囲が、最も望ましい比率範囲であるといえる。

導体の厚みが薄いとビア接続部での剥がれが生じ、信頼性が低下してしまう。

5    しかしながら、多層コア基板の導体層の厚みの和／層間絶縁層上の導体層の厚みの比が1.2を越えると、信頼性が向上する。一方、多層コア基板の導体層の厚みの和／層間絶縁層上の導体層の厚み比が40を越えると、上層の導体回路における不具合（例えば、上層の導体回路への応力の発生やうねりによる密着性の低下を引き起こしてしまう等）のため、信頼性が低下してしまった。

10    本願発明では、グランド用スルーホールと電源用スルーホールとが格子配置、または、千鳥配置となっており、グランド用スルーホールと電源用スルーホールとが隣り合うことにより、それぞれに発生する誘導起電力の方向が相反するため、X方向およびY方向での誘導起電力が打ち消される。そのために、ICのトランジスタへの電源の供給速度が速くなる。そのために、誤作動すること  
15    がなくなるのである。本発明のプリント配線板を用いれば、ICのトランジスタが高速にON-OFFを繰り返してもトランジスタの電位が低下しない。

多層コア基板の導体層の厚みの和が、層間絶縁層上の導体層の厚みよりも厚く、内層の導体層の厚みを厚くしているので、内層のグランド用導体層の側壁（あるいは内層の電源用導体層の側壁）と電源用スルーホール（あるいはグラ  
20    ンド用スルーホール）間で誘導起電力が打ち消される。このため、両面のコア基板や層間絶縁層上の導体層の厚みと多層コア基板の各導体層の厚みの和と同等な多層コア基板を用いたプリント配線板よりループインダクタンスが低下する。従って、高周波のICチップ、特に3GHz以上の高周波領域でのICチップを実装したとしても、ICのトランジスタの電圧が常に安定するので、誤  
25    作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる。

## - 30 -

## 請 求 の 範 囲

1. 複数のスルーホールを有するコア基板上に、両面もしくは片面に層間絶縁層と導体層が形成されて、バイアホールを介して、電氣的な接続を行われる多層プリント配線板において、

5 前記コア基板のスルーホールは、グランド用スルーホールと電源用スルーホールとが隣り合う位置に配設されていることを特徴とする多層プリント配線板。

2. 複数のスルーホールを有するコア基板上に、両面もしくは片面に層間絶縁層と導体層が形成されて、バイアホールを介して、電氣的な接続を行われる多層プリント配線板において、

10 前記コア基板のスルーホールは、2つ以上のグランド用スルーホールと2つ以上の電源用スルーホールとを有し、それぞれが隣り合う位置に格子状もしくは千鳥状に配設されていることを特徴とする多層プリント配線板。

3. 前記グランド用スルーホールと前記電源用のスルーホールとの距離は、 $60 \sim 550 \mu\text{m}$ の間であることを特徴とする請求の範囲第1項または請求の  
15 範囲第2項に記載の多層プリント配線板。

4. 前記グランド用スルーホール径は $50 \sim 500 \mu\text{m}$ であり、前記電源用スルーホール径は $50 \sim 500 \mu\text{m}$ であることを特徴とする請求の範囲第1項～請求の範囲第3項のいずれか1に記載の多層プリント配線板。

5. 前記グランド用スルーホールと電源用スルーホールとの少なくとも一方  
20 は、1つもしくは2つ以上のスルーホールが最外層まで全層スタック構造であることを特徴とする請求の範囲第1項または請求の範囲第2項に記載の多層プリント配線板。

6. 前記グランド用スルーホールおよび前記電源用スルーホールは、ICチップの直下に配設される請求の範囲第1項、請求の範囲第2項または請求の範囲  
25 第5項のいずれか1に記載の多層プリント配線板。

7. 前記コア基板上の導体層の厚みは、前記層間絶縁層上の前記導体層の厚みよりも厚いことを特徴とする請求の範囲第1項又は請求の範囲第2項の多層プリント配線板。

8. 前記コア基板上の導体層の厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを  
30  $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求の範囲第1



項又は請求の範囲第 2 項の多層プリント配線板。

9. 前記  $\alpha 1$  は、 $1.2 \alpha 2 \leq \alpha 1 \leq 4.0 \alpha 2$ であることを特徴とする請求の範囲第 8 項に記載の多層プリント配線板。

5 10. 前記コア基板の各導体層は、電源層用の導体層又はグランド用の導体層である請求の範囲第 7 項～請求の範囲第 9 項のいずれか 1 に記載の多層プリント配線板。

11. コンデンサが表面に実装されていることを特徴とする請求の範囲第 1 項、請求の範囲第 2 項、請求の範囲第 7 項～請求の範囲第 10 項のいずれか 1 に記載の多層プリント配線板。

10 12. 前記コア基板が、内層に厚い導体層を有する 3 層以上の多層コア基板であって、

前記コア基板の各内層の導体層と各表面の導体層は、電源層用の導体層又はグランド用の導体層であることを特徴とする請求の範囲第 1 項又は請求の範囲第 2 項の多層プリント配線板。

15 13. 前記コア基板が、内層に厚い導体層を有する 3 層以上の多層コア基板であって、

前記コア基板の各内層の導体層は、電源層用の導体層又はグランド用の導体層であり、表層の導体層は信号線からなることを特徴とする請求の範囲第 1 項又は請求の範囲第 2 項の多層プリント配線板。

20 14. 前記コア基板の内層の導体層の厚みは、層間絶縁層上の導体層よりも厚いことを特徴とする請求の範囲第 12 項または請求の範囲第 13 項に記載の多層プリント配線板。

15. 前記コア基板の内層の導体層は、2 層以上である請求の範囲第 12 項又は請求の範囲第 13 項に記載の多層プリント配線板。

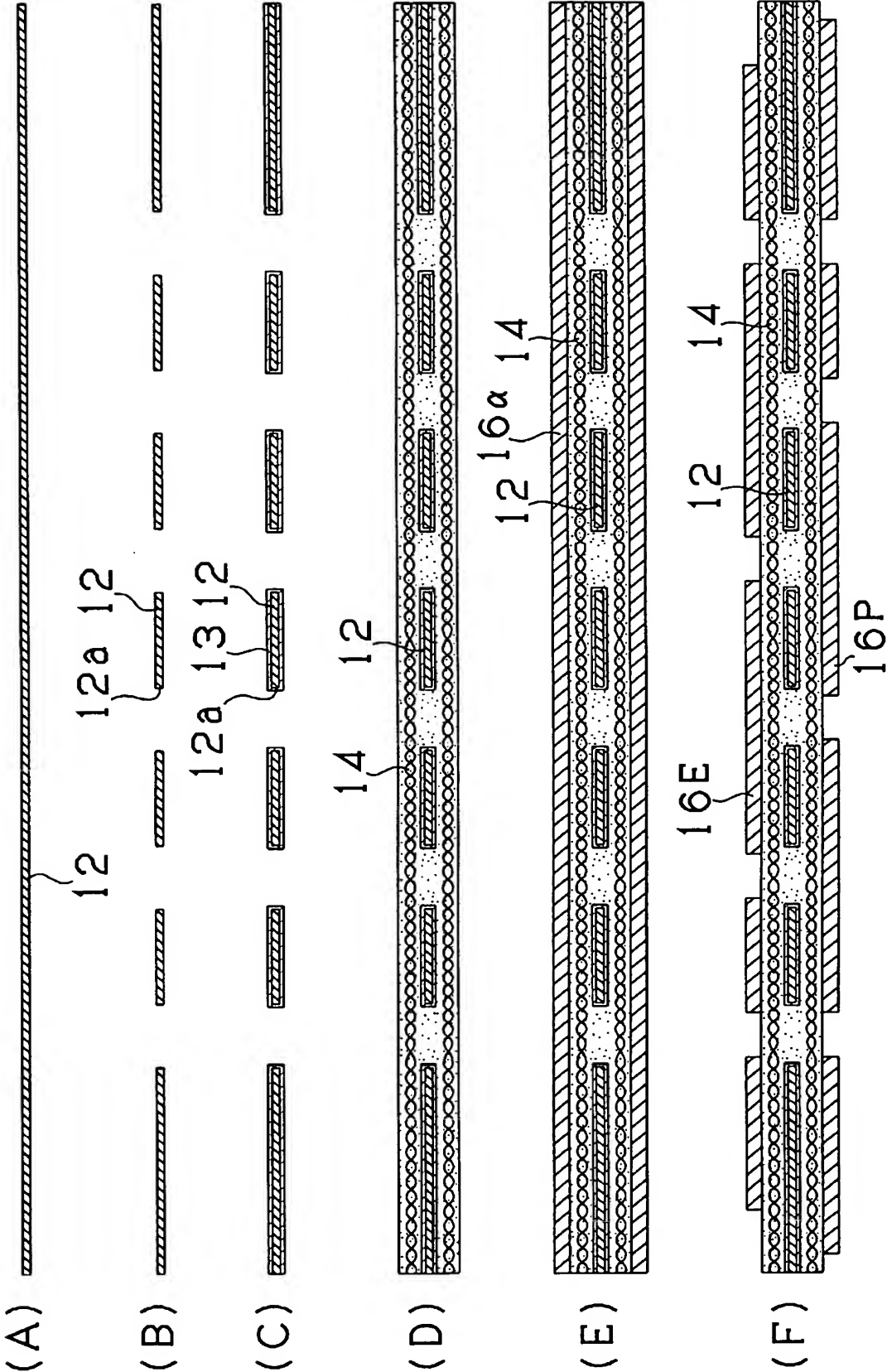
25 16. 前記コア基板は、電氣的に隔絶された金属板の両面に、樹脂層を介在させて前記内層の導体層が、更に、当該内層の導体層の外側に樹脂層を介在させて前記表面の導体層が形成されて成ることを特徴とする請求の範囲第 12 項又は請求の範囲第 13 項の多層プリント配線板。

30 17. 前記コア基板は、内層に厚みの厚い導体層、表層に厚みの薄い導体層を備えることを特徴とする請求の範囲第 12 項～請求の範囲第 16 項のいずれ

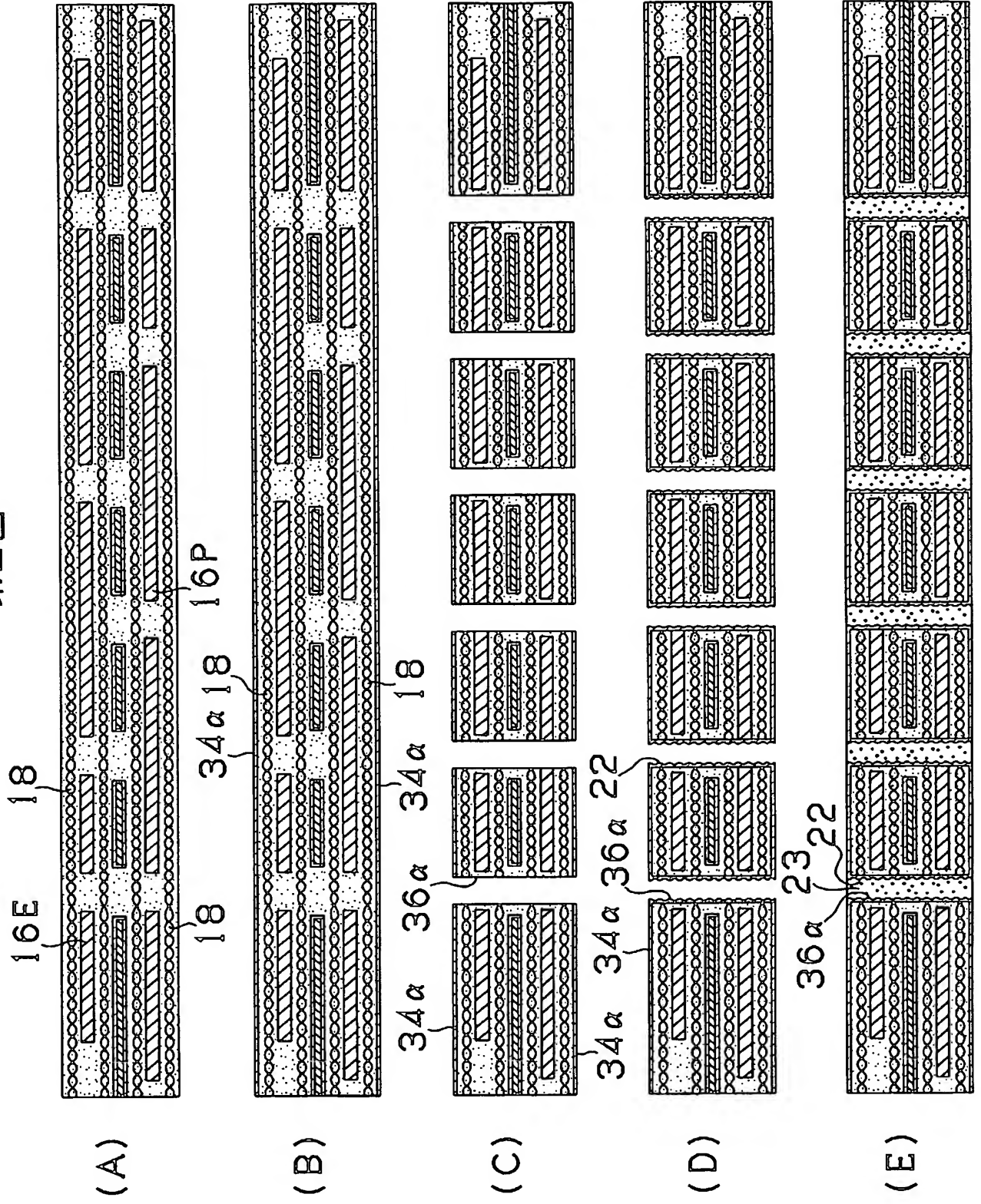
- 32 -

か 1 の多層プリント配線板。

第1図



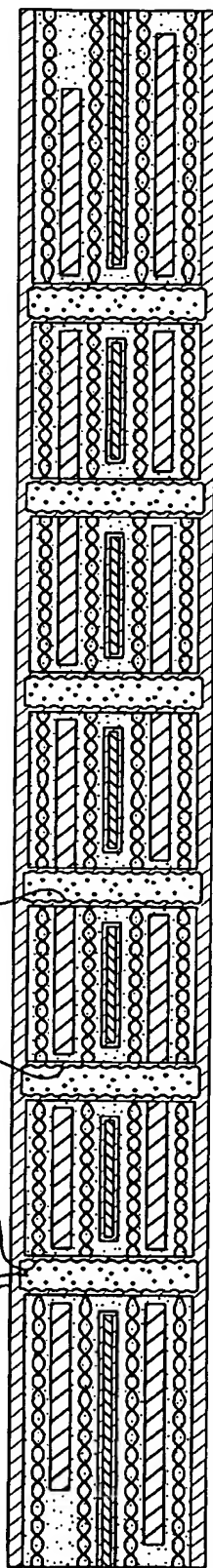
第2図



第3図

(A)

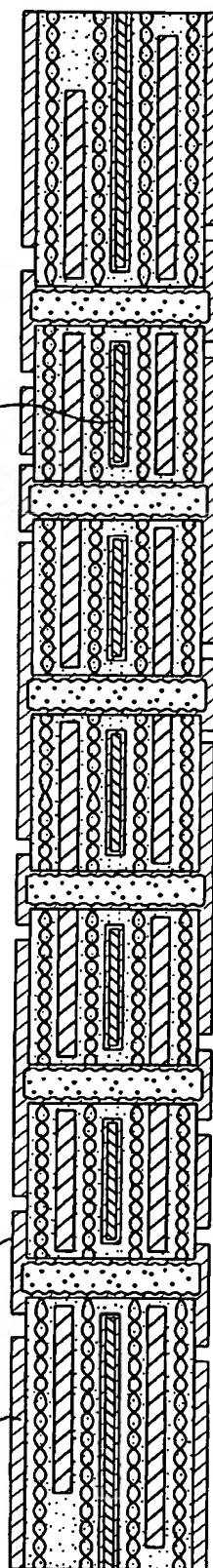
25 23 36S 36P 36E



(B)

34P 34

30



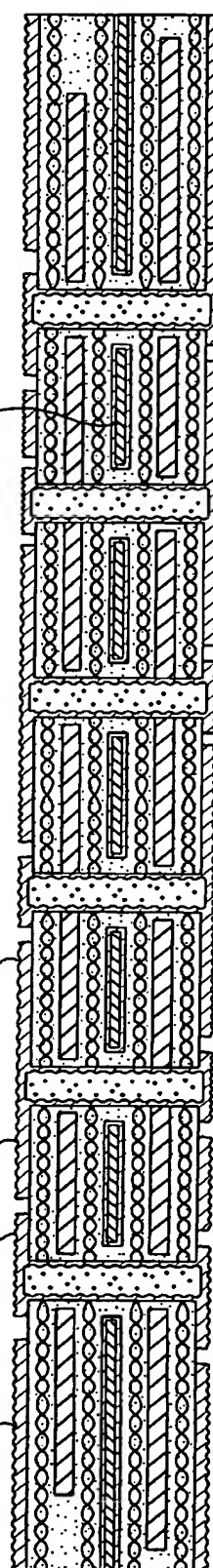
(C)

34P 34 34β 34

30

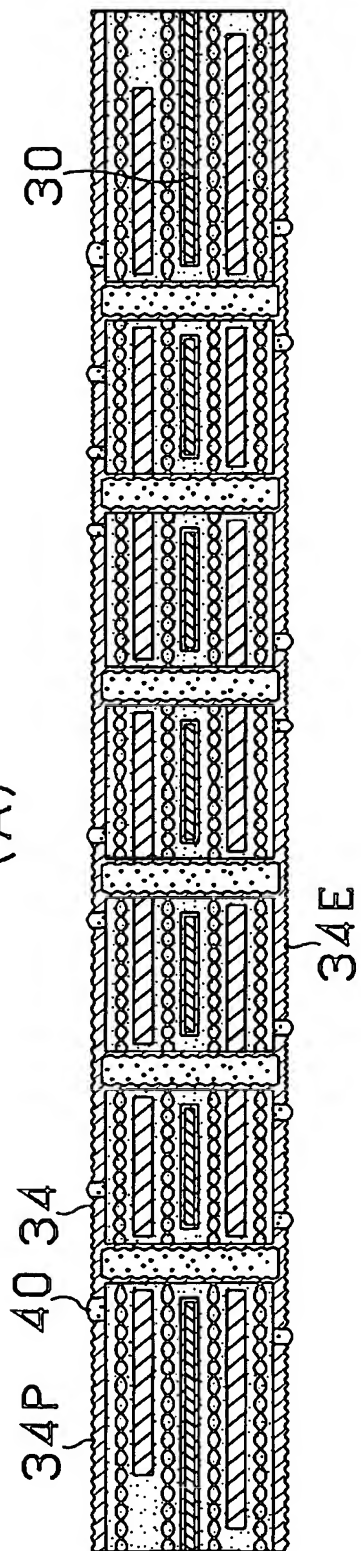
34E

34E

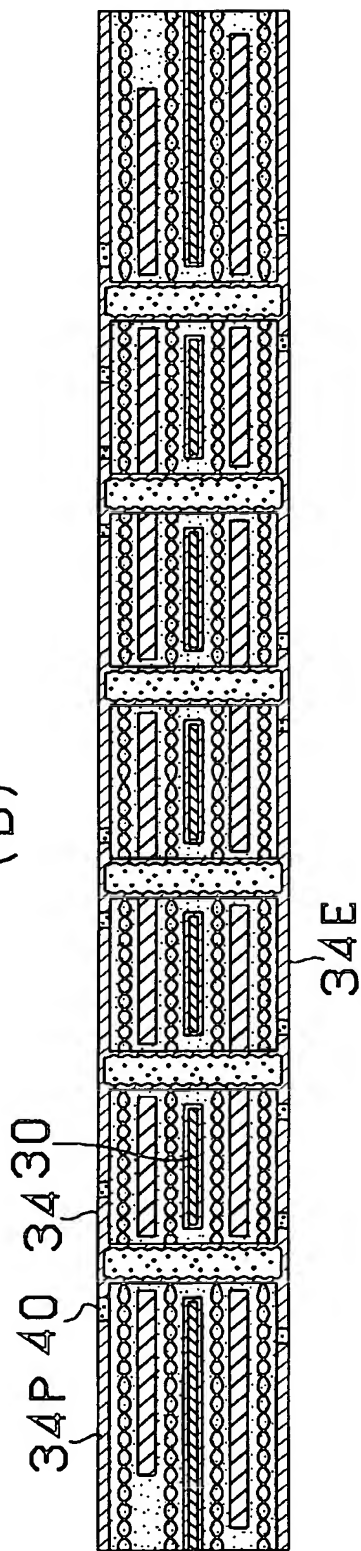


4 / 19

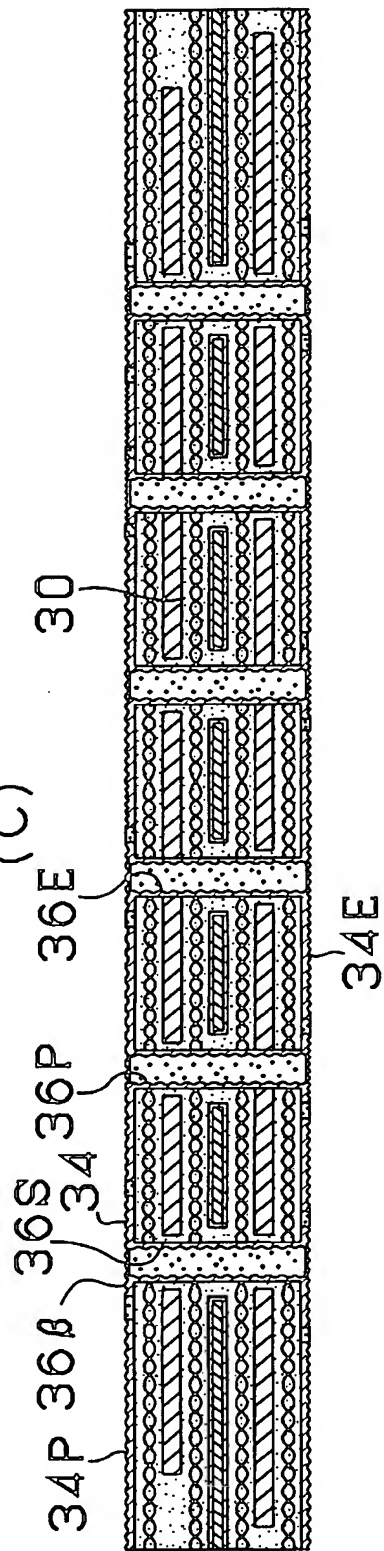
第4図  
(A)



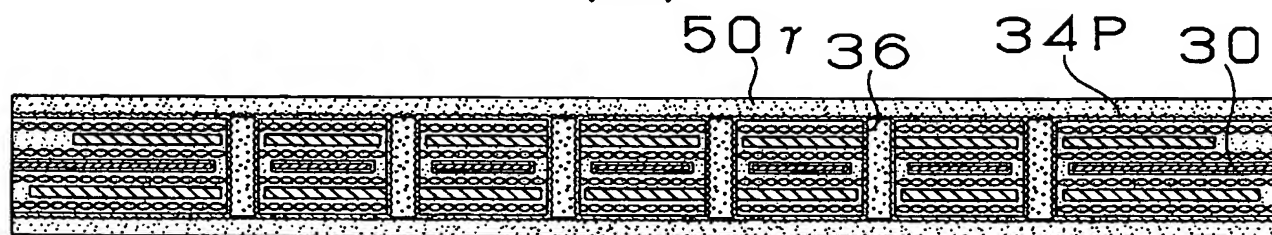
(B)



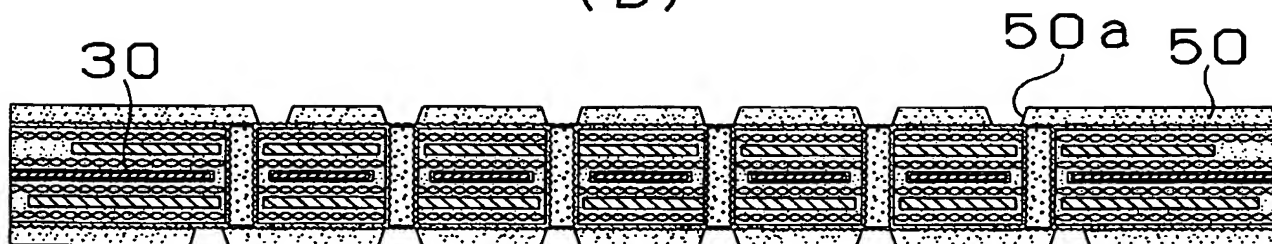
(C)



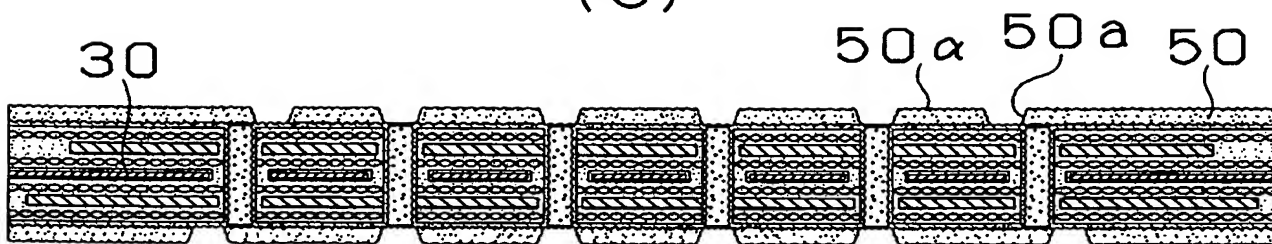
5/19  
第5図  
(A)



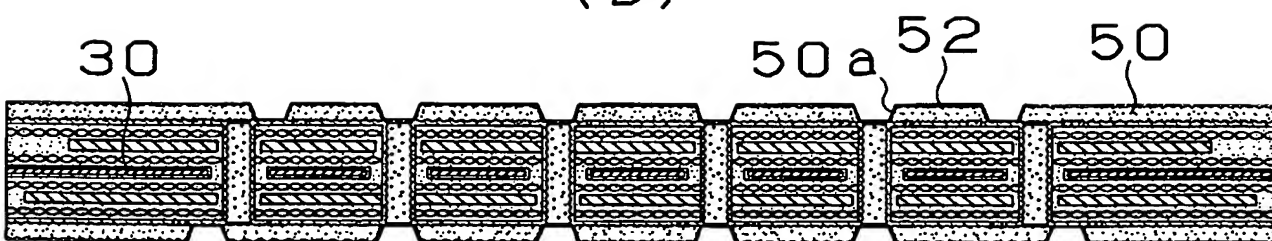
(B)



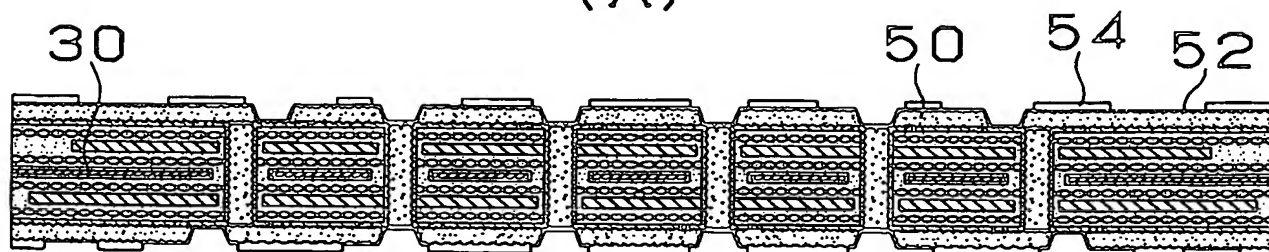
(C)



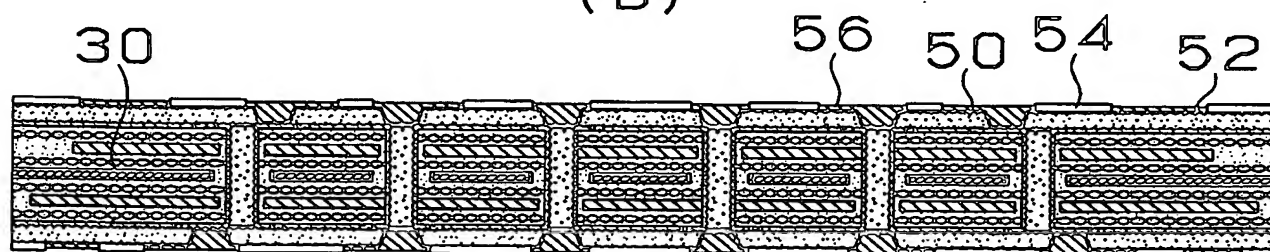
(D)



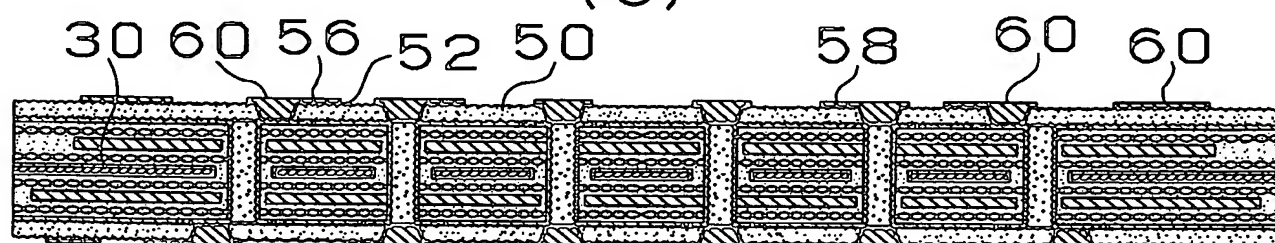
6/19  
第6図  
(A)



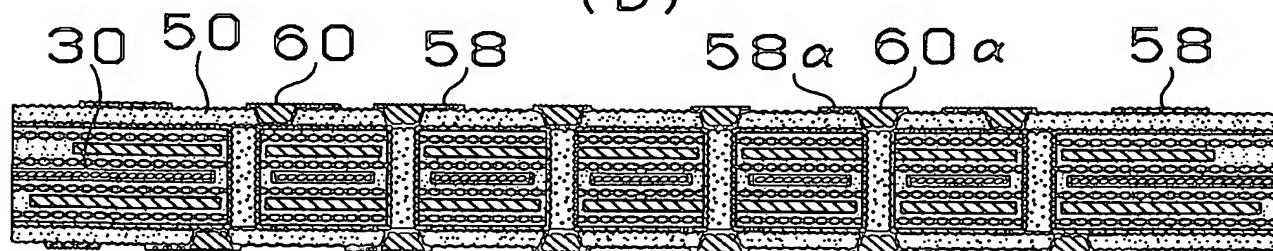
(B)



(C)

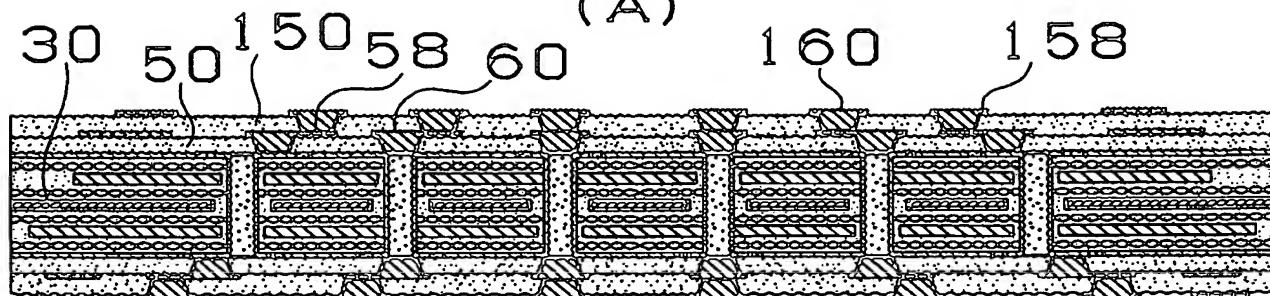


(D)

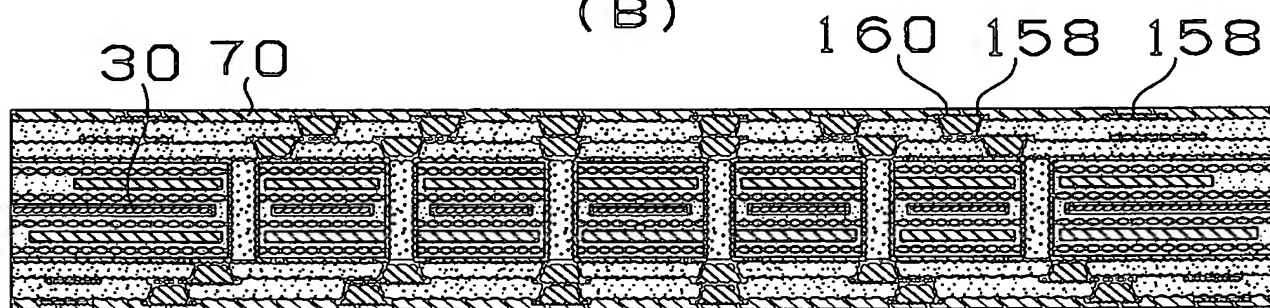




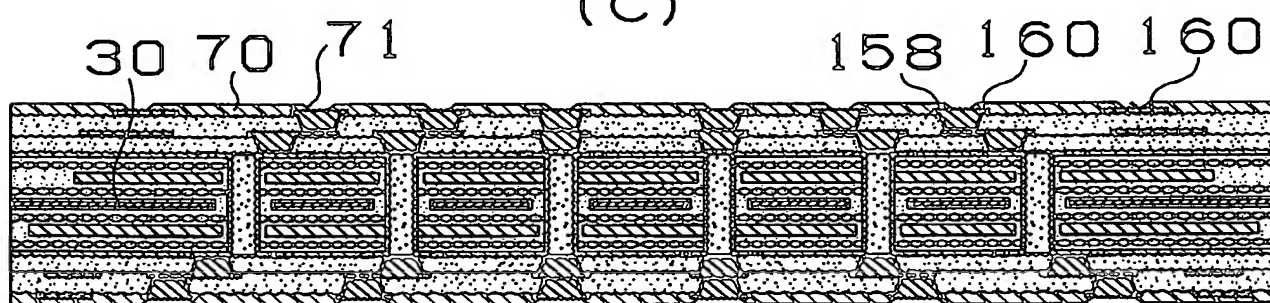
7/19  
第7図  
(A)



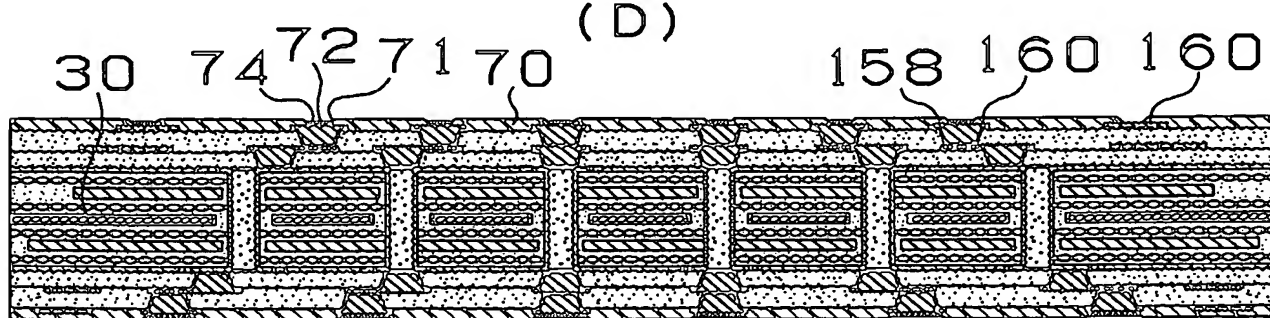
(B)



(C)

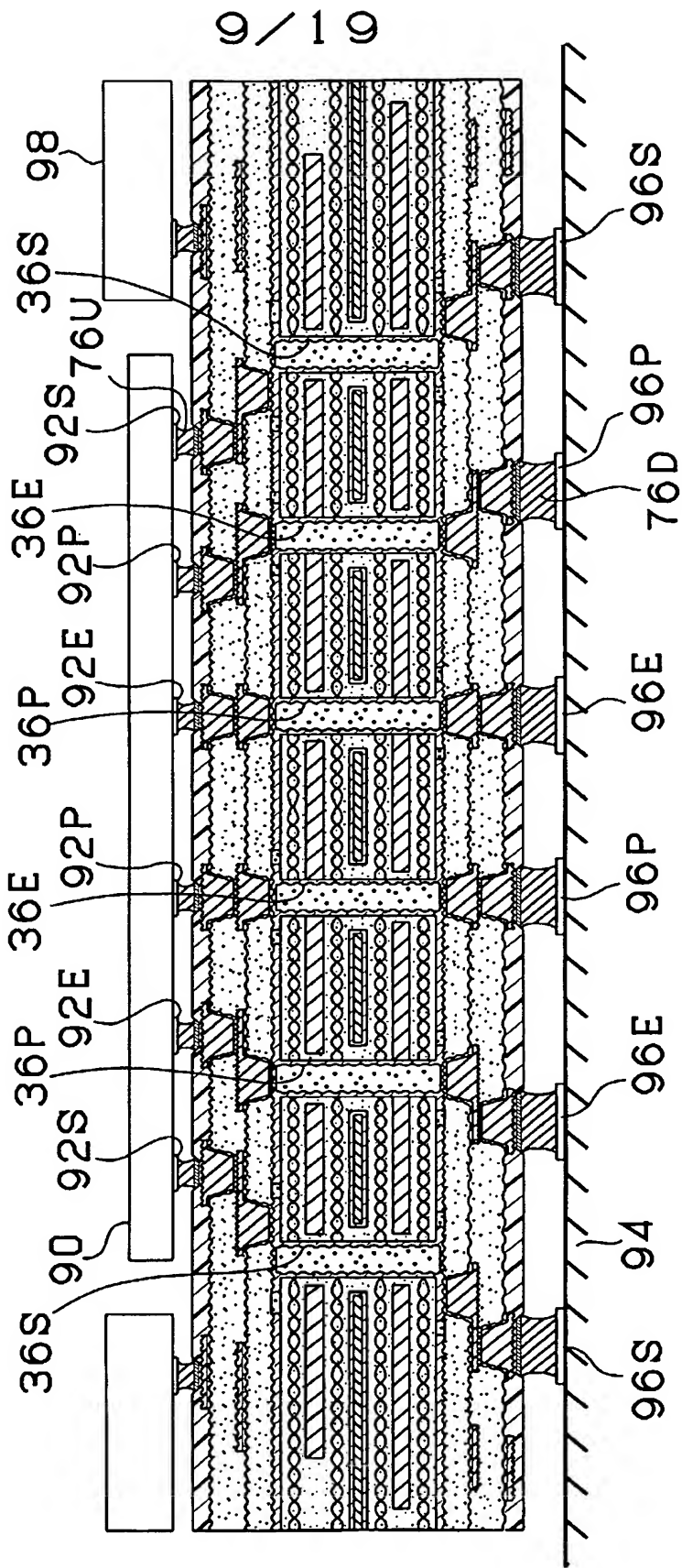


(D)



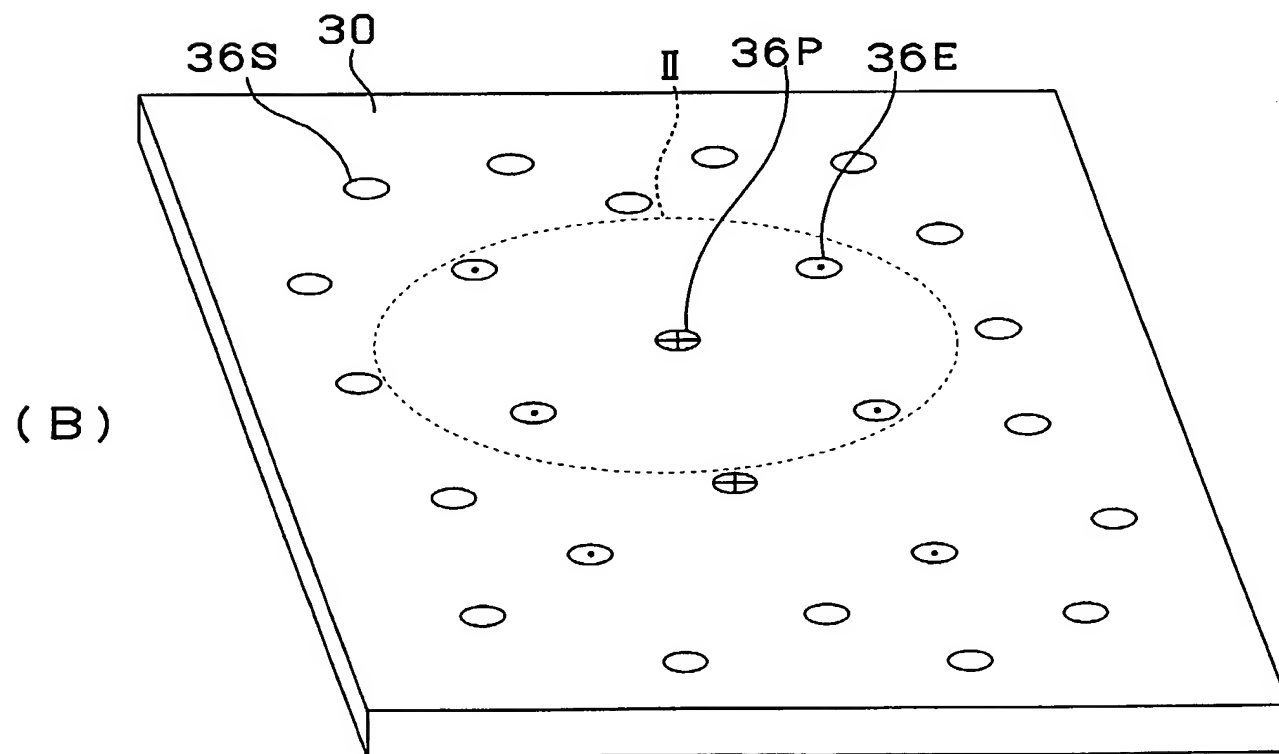
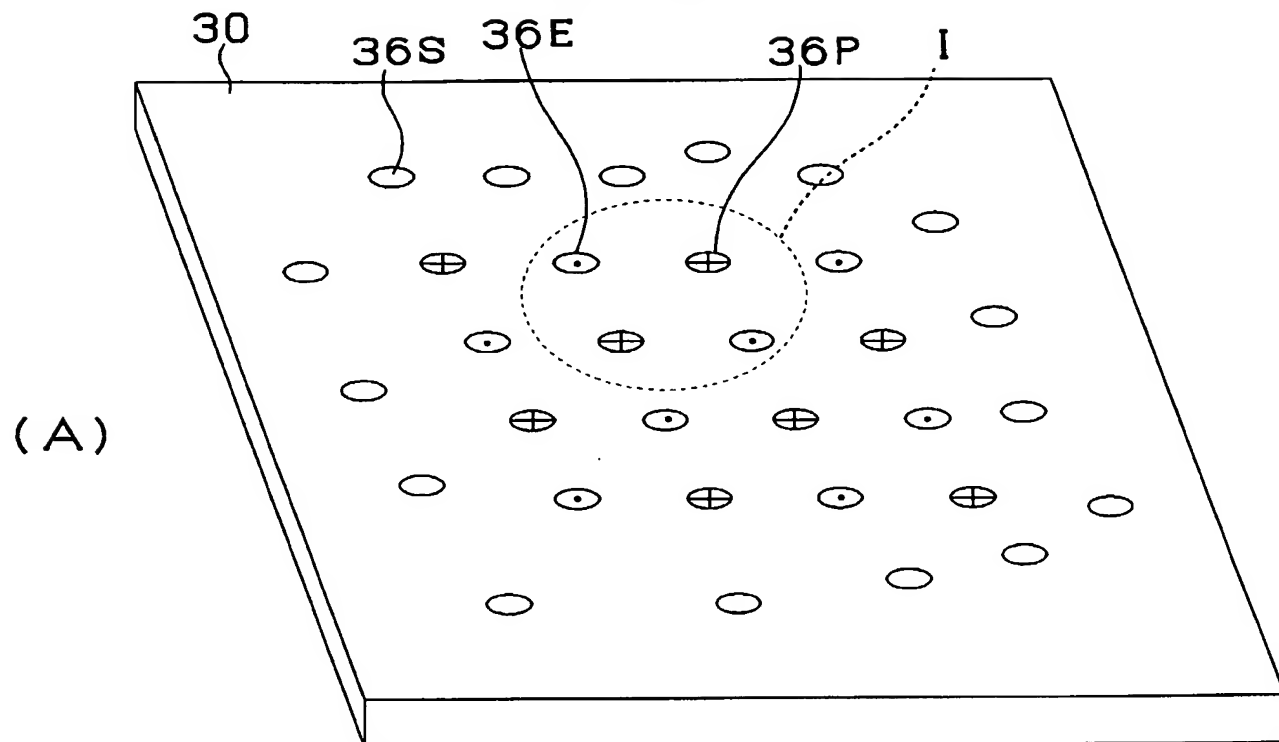


第9図

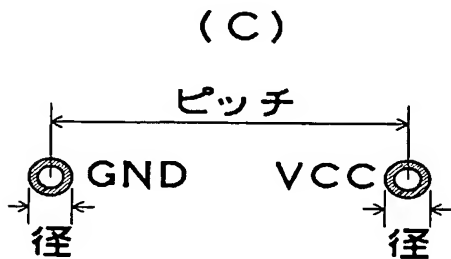
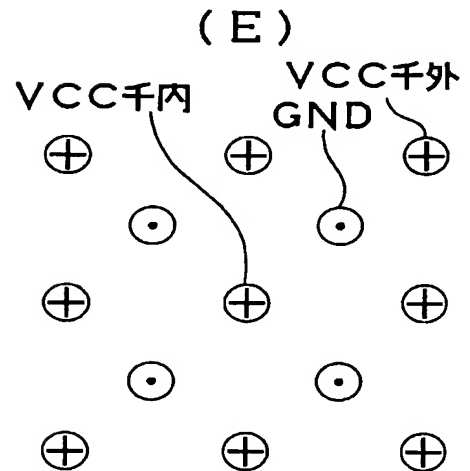
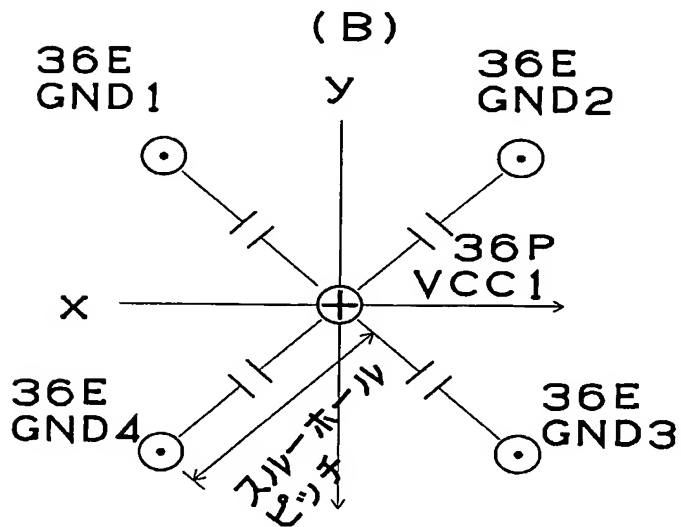
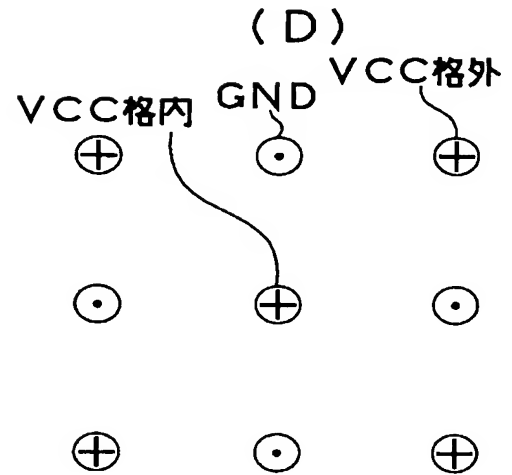
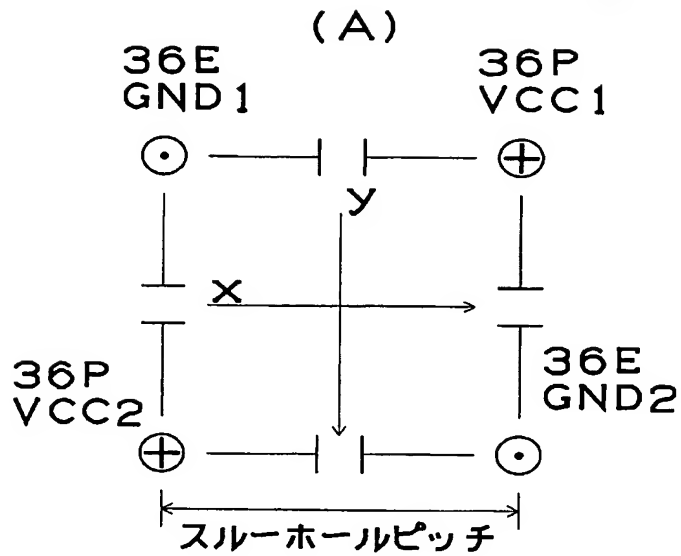


9 / 1 9

10/19  
第10図

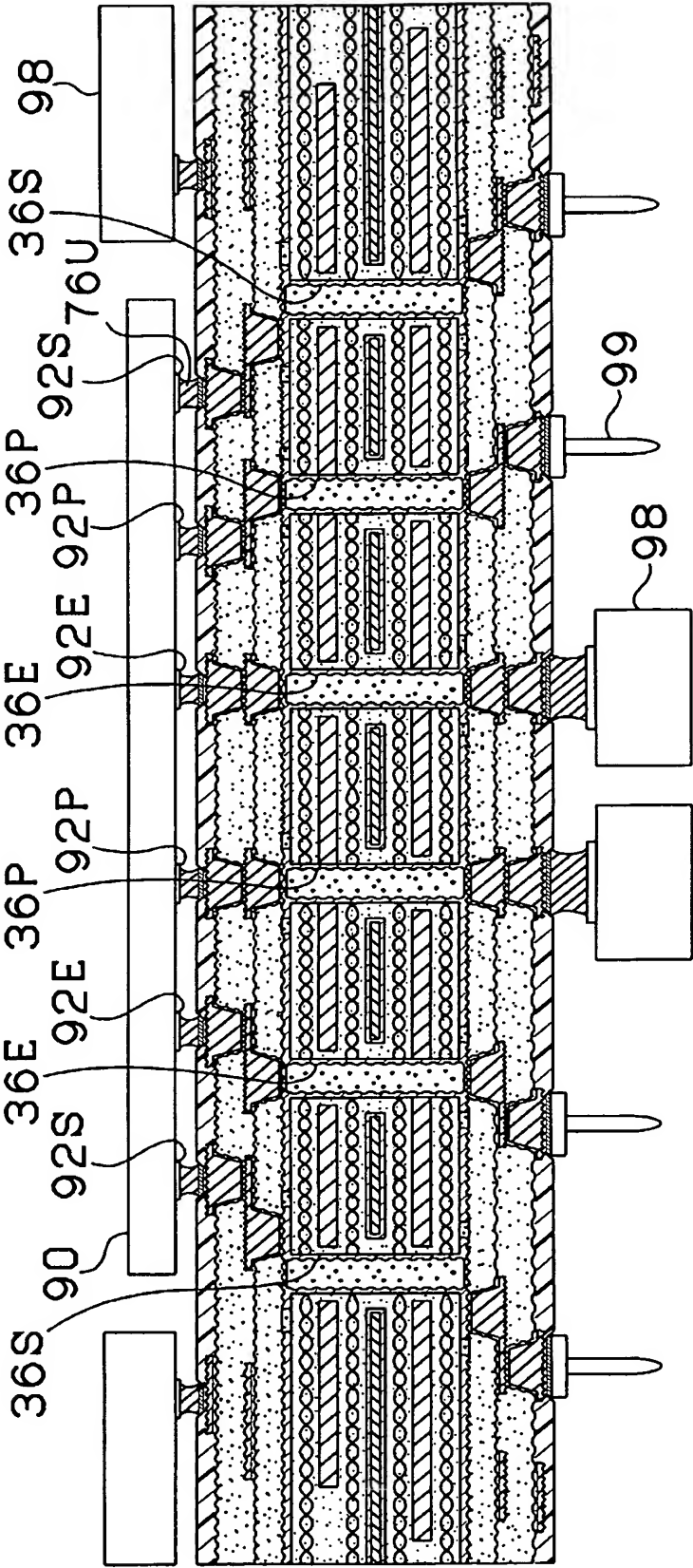


11/19  
第11図

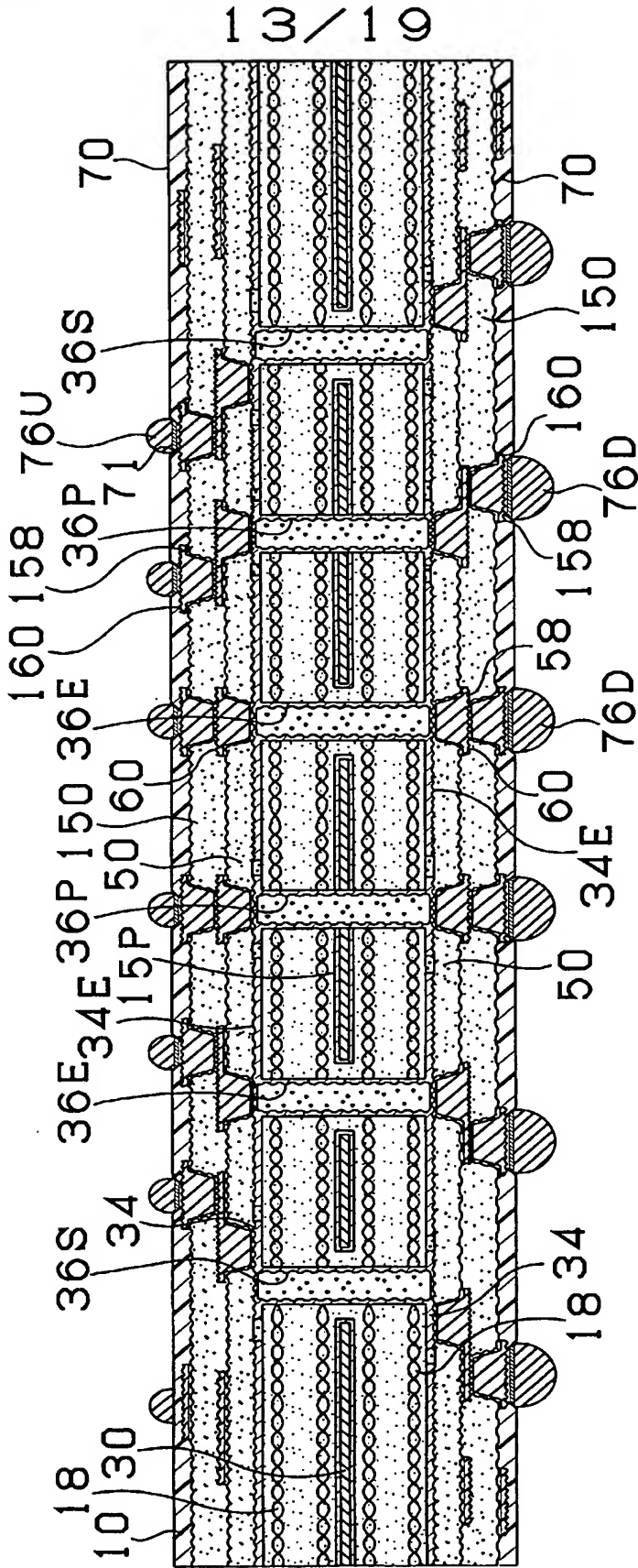


12/19

第12図

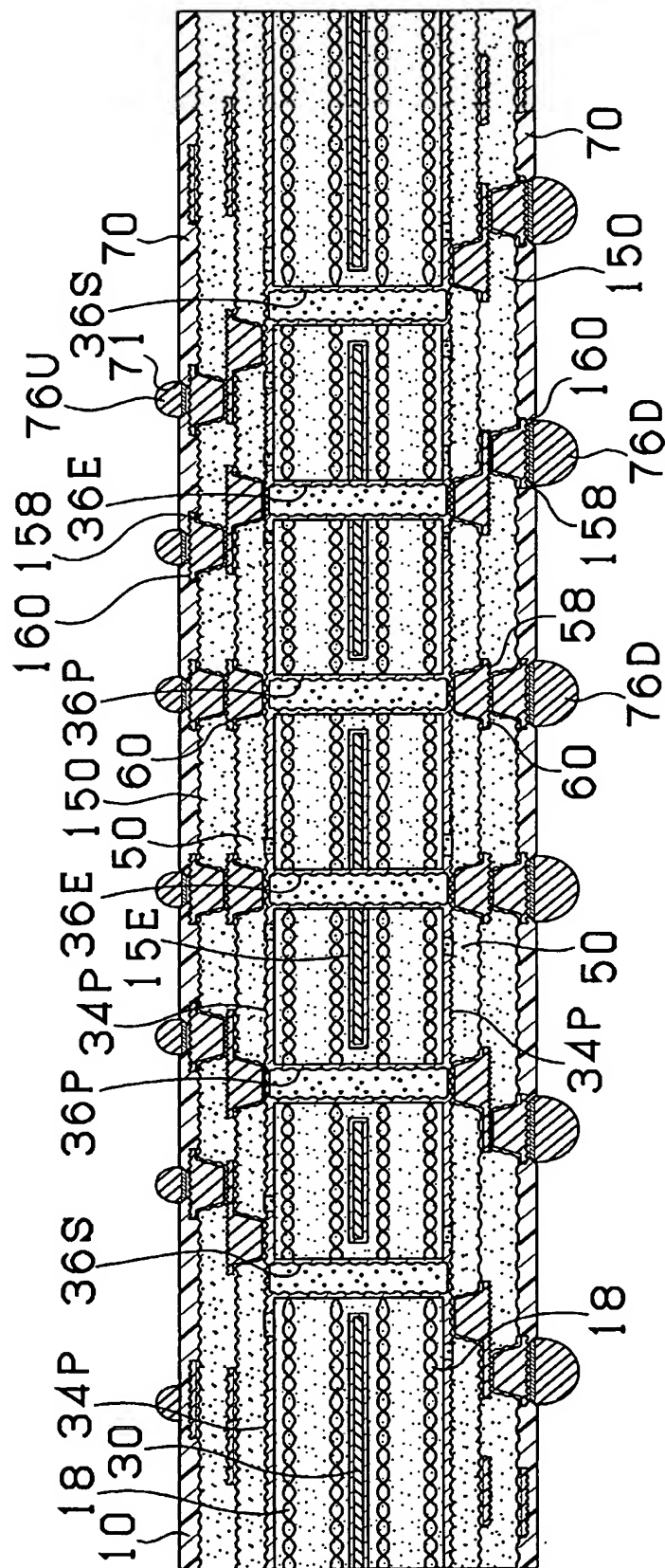


第13図



14/19

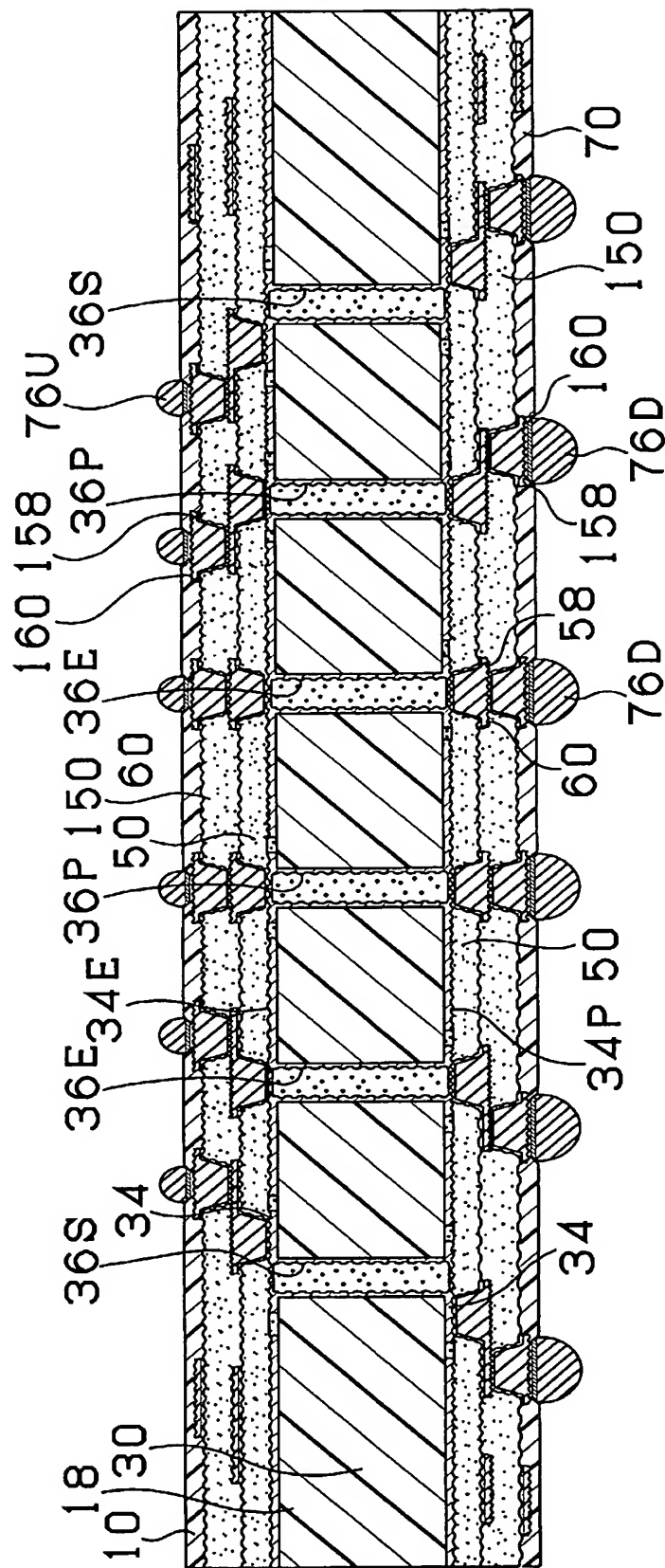
第14図





15/19

第15図



第16図

スルーホール ピッチ ( $\mu\text{m}$ )	スルーホール 径 ( $\mu\text{m}$ )	コア基板の 厚み ( $\mu\text{m}$ )	千鳥配置 (厚銅)	格子配置 (厚銅)	ランダム 配置	参考例4
			ループインダクタンス (pH)	ループインダクタンス (pH)	ループイン ダクタンス (pH)	ループイン ダクタンス (pH)
650	450	600	93	84	115	
600	400	600	87	75	109	88
550	350	600	73	59	100	75
500	300	600	73	56	95	75
475	275	600	63	57	90	65
450	250	600	59	55	85	62
425	225	600	58	55	85	60
400	200	600	59	55	—	60
80	50	600	55	50	90	57
50	25	600	63	60	—	

注：参考例4と格子配置 (厚銅) の差は、多層コア基板の導体層の厚みの和だけである。

17/19  
第17図  
(A)

スルーホールピッチ ( $\mu\text{m}$ )	千鳥配置 (厚銅)		格子配置 (厚銅)	
	絶縁層のクラック	導通試験結果	絶縁層のクラック	導通試験結果
650	○	○	○	○
600	○	○	○	○
500	○	○	○	○
400	○	○	○	○
80	○	○	○	○
50	×	×	×	×

絶縁層のクラック： ○ クラックなし    × クラック有り

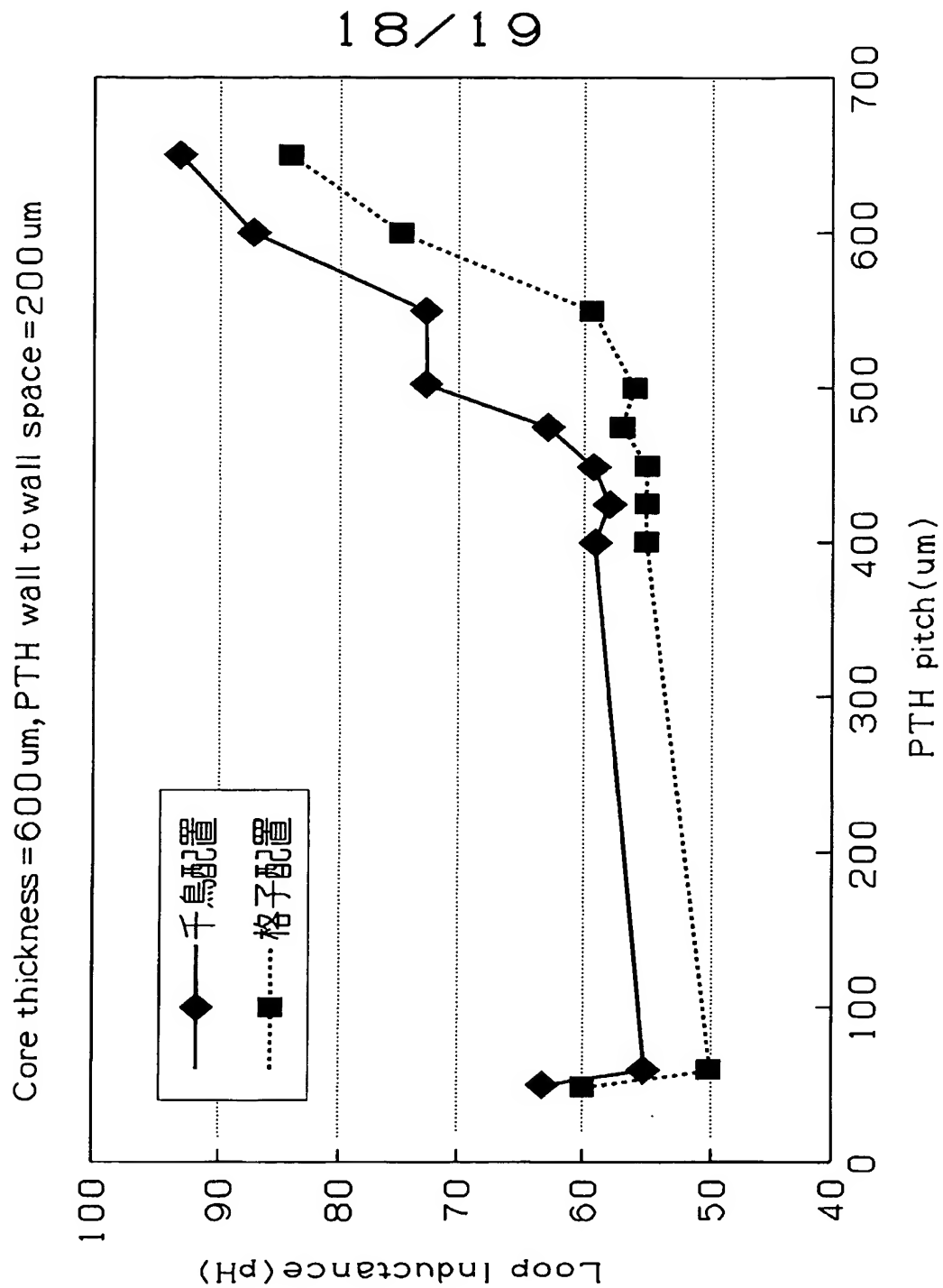
導通試験： ○ 抵抗値に異常なし

× 抵抗値に異常あり

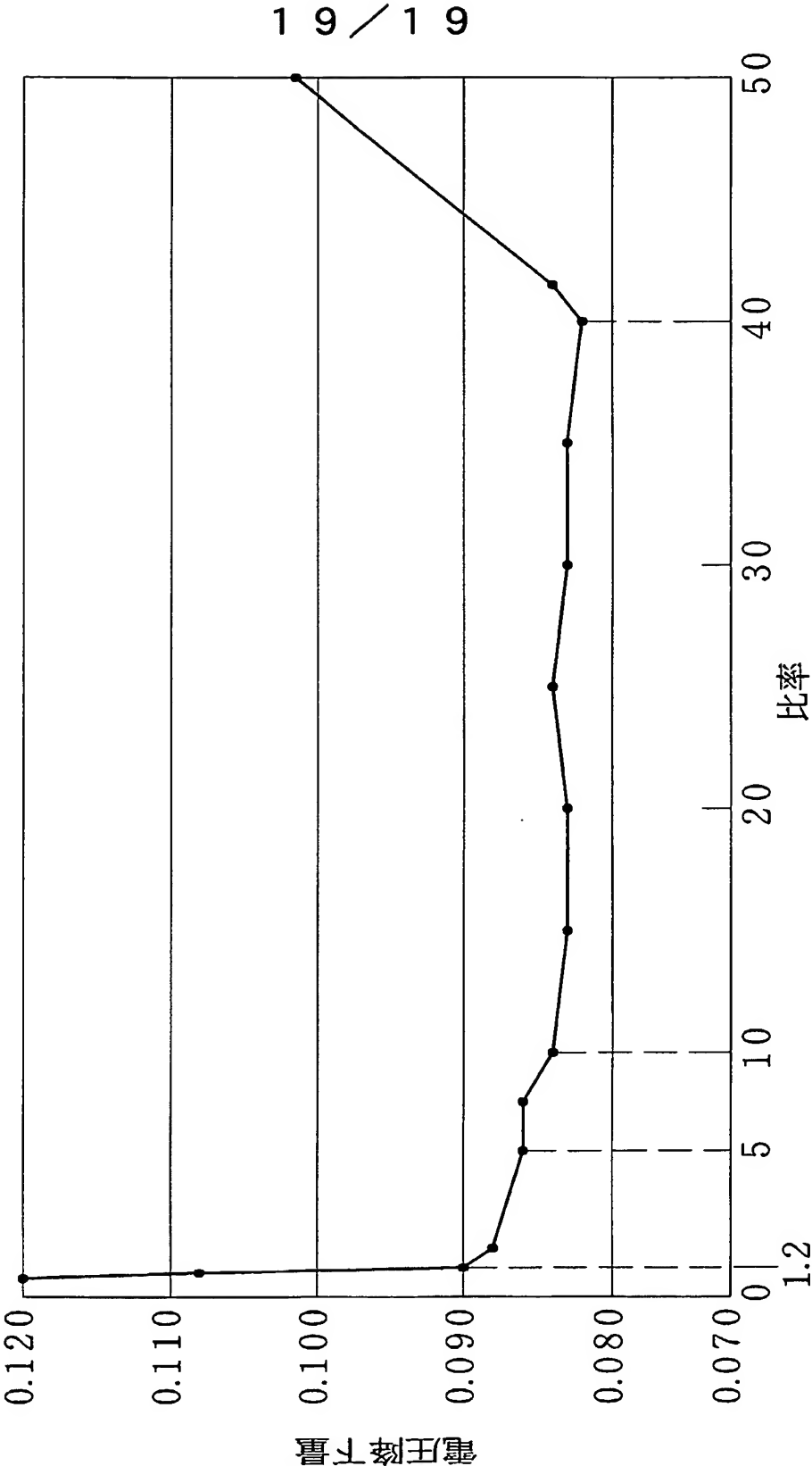
(B)

スルーホールピッチ ( $\mu\text{m}$ )	千鳥配置	格子配置
	ループインダクタンス(pH)	ループインダクタンス(pH)
650	93	84
600	87	75
550	73	60
500	63	56
475	63	57
450	59	55
425	58	54
400	55	52
350	54	50
300	54	50
200	53	50
100	54	49
75	54	49
60	55	50
50	63	60

第18図



第19図  
コア電源層比率



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004977

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H05K3/46, H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

## **B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H05K3/46, H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## **C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-204077 A (NGK Spark Plug Co., Ltd.), 19 July, 2002 (19.07.02), Full text; Figs. 1 to 15 (Family: none)	1-3, 6, 11 4, 5, 7-10, 12-17
Y	JP 2000-244130 A (NGK Spark Plug Co., Ltd.), 08 September, 2000 (08.09.00), Par. Nos. [0057], [0066], [0067], [0078], [0111]; Figs. 1 to 14 & JP 12-244129 A & US 6214445 B1 & US 6333857 B1	4, 5, 10, 12-17
Y	JP 2000-101245 A (NGK Spark Plug Co., Ltd.), 07 April, 2000 (07.04.00), Par. Nos. [0029] to [0035], [0042]; Figs. 1 to 5 (Family: none)	7-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
22 April, 2004 (22.04.04)

Date of mailing of the international search report  
11 May, 2004 (11.05.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

<b>A. 発明の属する分野の分類 (国際特許分類 (IPC))</b> <p style="text-align: center;">Int. Cl<sup>7</sup> H05K 3/46, H01L 23/12</p>		
<b>B. 調査を行った分野</b> 調査を行った最小限資料 (国際特許分類 (IPC)) <p style="text-align: center;">Int. Cl<sup>7</sup> H05K 3/46, H01L 23/12</p>		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
<b>C. 関連すると認められる文献</b>		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2002-204077 A (日本特殊陶業株式会社) 2002. 07. 19, 全文, 第1-15図 (ファミリーなし)	1-3, 6, 11
Y		4, 5, 7-10, 12-17
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		
<div style="display: flex; justify-content: space-between;"> <div>           国際調査を完了した日  <p style="text-align: center;">22. 04. 2004</p> </div> <div>           国際調査報告の発送日 <b>11. 5. 2004</b> </div> </div>		
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 長屋 陽二郎 電話番号 03-3581-1101 内線 3389

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-244130 A (日本特殊陶業株式会社) 2000. 09. 08, 段落【0057】 , 【0066】 , 【0067】 , 【0078】 , 【0111】 , 第1-14図 & J P 12-244129 A & U S 6214445 B1 & U S 6333857 B1	4, 5, 10, 12-17
Y	J P 2000-101245 A (日本特殊陶業株式会社) 2000. 04. 07, 段落【0029】 - 【0035】 , 段落【0042】 , 第1-5図 (ファミリーなし)	7-9



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☒ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**